



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		VCCD_PLL7			K25														
		VCCA_PLL7			J26														
		GNDA_PLL7			K26														
		GNDA_PLL7			J25														
B2	VREFB2N0	FPLL7CLKp	INPUT		C34														
B2	VREFB2N0	FPLL7CLKn	INPUT		C33														
B2	VREFB2N0	IO	DIFFIO_TX41p		J28							DQ12L0					DQ16L0	DQ16L0	
B2	VREFB2N0	IO	DIFFIO_TX41n		K27							DQ12L1					DQ16L1	DQ16L1	
B2	VREFB2N0	IO	DIFFIO_RX40p		E34							DQ0L0		DQ0L0		DQ0L0	DQ0L0	DQ0L0	
B2	VREFB2N0	IO	DIFFIO_RX40n		D34							DQ0L1		DQ0L1		DQ0L1	DQ0L1	DQ0L1	
B2	VREFB2N0	IO	DIFFIO_TX40p		J30							DQS12L				DQS16L	DQS16L	DQS16L	
B2	VREFB2N0	IO	DIFFIO_TX40n		J29							DQ12L2				DQ16L2	DQ16L2	DQ16L2	
B2	VREFB2N0	IO	DIFFIO_RX39p		F32							DQS0L		DQS0L		DQS0L	DQS0L	DQS0L	
B2	VREFB2N0	IO	DIFFIO_RX39n		F31							DQ0L2		DQ0L2		DQ0L2	DQ0L2	DQ0L2	
B2	VREFB2N0	IO	DIFFIO_TX39p		K30							DQ12L3				DQ16L3	DQ16L3	DQ16L3	
B2	VREFB2N0	IO	DIFFIO_TX39n		K29							DM12L				DQ17L0	DQ17L0	DQ17L0	
B2	VREFB2N0	VREFB2N0	VREFB2N0		R30	T21													
B2	VREFB2N0	IO	DIFFIO_RX38p		F34							DQ0L3		DQ0L3		DQ0L3	DQ0L3	DQ0L3	
B2	VREFB2N0	IO	DIFFIO_RX38n		F33							DM0L		DM0L		DQ1L0	DQ1L0	DQ1L0	
B2	VREFB2N0	IO	DIFFIO_TX38p		L26							DQ13L0		DQ13L0		DQ17L1	DQ17L1	DQ17L1	
B2	VREFB2N0	IO	DIFFIO_TX38n		L25							DQ13L1		DQ13L1		DQS17L	DQS17L	DQS17L	
B2	VREFB2N0	IO	DIFFIO_RX37p		G33							DQ1L0		DQ1L0		DQ1L1	DQ1L1	DQ1L1	
B2	VREFB2N0	IO	DIFFIO_RX37n		G32							DQ1L1		DQ1L1		DQ1L2	DQ1L2	DQ1L2	
B2	VREFB2N0	IO	DIFFIO_TX37p		M26							DQS13L		DM13L		DQ17L2	DQ17L2	DQ17L2	
B2	VREFB2N0	IO	DIFFIO_TX37n		M25							DQ13L2		DM13L		DQ17L3	DQ17L3	DQ17L3	
B2	VREFB2N0	IO	DIFFIO_RX36p		H32	C28						DQS1L		DQ1L0	DQ1L0	DQ1L2	DQ1L2	DQ1L2	
B2	VREFB2N0	IO	DIFFIO_RX36n		H31	C27						DQ1L2		DQ1L1	DQ1L1	DQ1L3	DQ1L3	DQ1L3	
B2	VREFB2N0	IO	DIFFIO_TX36p		K28	H23						DQ13L3		DQ14L0	DQ14L0	DQ18L0	DQ18L0	DQ18L0	DQ18L0
B2	VREFB2N0	IO	DIFFIO_TX36n		L28	H22						DM13L		DQ14L1	DQ14L1	DQ18L1	DQ18L1	DQ18L1	DQ18L1
B2	VREFB2N0	IO	DIFFIO_RX35p		G34	D28						DQ1L3		DQS1L	DQS1L	DQ2L0	DQ2L0	DQ2L0	DQ2L0
B2	VREFB2N0	IO	DIFFIO_RX35n		H34	D27						DM1L		DQ1L2	DQ1L2	DQ2L1	DQ2L1	DQ2L1	DQ2L1
B2	VREFB2N0	IO	DIFFIO_TX35p		L29	F24						DQ14L0	DQ14L0	DQS14L	DQS14L	DQS18L	DQS18L	DQS18L	DQS18L
B2	VREFB2N0	IO	DIFFIO_TX35n		M29	F23						DQ14L1	DQ14L1	DQ14L2	DQ14L2	DQ18L2	DQ18L2	DQ18L2	DQ18L2
B2	VREFB2N1	IO	DIFFIO_RX34p		J32	F27						DQ2L0	DQ2L0	DQ1L3	DQ1L3	DQS2L	DQS2L	DQS2L	DQS2L
B2	VREFB2N1	IO	DIFFIO_RX34n		J31	F26						DQ2L1	DQ2L1	DM1L	DM1L	DQ2L2	DQ2L2	DQ2L2	DQ2L2
B2	VREFB2N1	IO	DIFFIO_TX34p		M28	G24						DQS14L	DQS14L	DQ14L3	DQ14L3	DQ18L3	DQ18L3	DQ18L3	DQ18L3
B2	VREFB2N1	IO	DIFFIO_TX34n		M27	G23						DQ14L2	DQ14L2	DM14L	DM14L	DQ19L0	DQ19L0	DQ19L0	DQ19L0
B2	VREFB2N1	IO	DIFFIO_RX33p		J34	E28						DQS2L	DQS2L	DQ2L0	DQ2L0	DQ2L3	DQ2L3	DQ2L3	DQ2L3
B2	VREFB2N1	IO	DIFFIO_RX33n		J33	F28						DQ2L2	DQ2L2	DQ2L1	DQ2L1	DQ3L0	DQ3L0	DQ3L0	DQ3L0
B2	VREFB2N1	IO	DIFFIO_TX33p		N27	E26						DQ14L3	DQ14L3	DQ15L0	DQ15L0	DQ19L1	DQ19L1	DQ19L1	DQ19L1
B2	VREFB2N1	IO	DIFFIO_TX33n		N26	E25						DM14L	DM14L	DQ15L1	DQ15L1	DQS19L	DQS19L	DQS19L	DQS19L
B2	VREFB2N1	IO	DIFFIO_RX32p		K33	G28						DQ2L3	DQ2L3	DQS2L	DQS2L	DQ3L1	DQ3L1	DQ3L1	DQ3L1
B2	VREFB2N1	IO	DIFFIO_RX32n		K32	G27						DM2L	DM2L	DQ2L2	DQ2L2	DQS3L	DQS3L	DQS3L	DQS3L
B2	VREFB2N1	IO	DIFFIO_TX32p		N25	K24						DQ15L0	DQ15L0	DQS15L	DQS15L	DQ19L2	DQ19L2	DQ19L2	DQ19L2
B2	VREFB2N1	IO	DIFFIO_TX32n		N24	J23						DQ15L1	DQ15L1	DQ15L2	DQ15L2	DQ19L3	DQ19L3	DQ19L3	DQ19L3
B2	VREFB2N1	VREFB2N1	VREFB2N1		M30	M23													
B2	VREFB2N1	IO	DIFFIO_RX31p		L32	J27						DQ3L0	DQ3L0	DQ2L3	DQ2L3	DQ3L2	DQ3L2	DQ3L2	DQ3L2
B2	VREFB2N1	IO	DIFFIO_RX31n		L31	J26						DQ3L1	DQ3L1	DM2L	DM2L	DQ3L3	DQ3L3	DQ3L3	DQ3L3



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152
B2	VREFB2N1	IO	DIFFIO_TX31p		N23	K22						DQS15L	DQS15L	DQ15L3	DQ15L3	DQ20L0	DQ20L0		
B2	VREFB2N1	IO	DIFFIO_TX31n		P23	K21						DQ15L2	DQ15L2	DM15L	DM15L	DQ20L1	DQ20L1		
B2	VREFB2N1	IO	DIFFIO_RX30p		L34	H28						DQS3L	DQS3L	DQ3L0	DQ3L0	DQ4L0	DQ4L0	DQ4L0	DQ4L0
B2	VREFB2N1	IO	DIFFIO_RX30n		K34	J28						DQ3L2	DQ3L2	DQ3L1	DQ3L1	DQ4L1	DQ4L1	DQ4L1	DQ4L1
B2	VREFB2N1	IO	DIFFIO_TX30p		N29	K23						DQ15L3	DQ15L3			DQS20L	DQS20L		
B2	VREFB2N1	IO	DIFFIO_TX30n		N28	L23						DM15L	DM15L			DQ20L2	DQ20L2		
B2	VREFB2N1	IO	DIFFIO_RX29p		M32	L26						DQ3L3	DQ3L3	DQS3L	DQS3L	DQ4L2	DQ4L2	DQS4L	DQS4L
B2	VREFB2N1	IO	DIFFIO_RX29n		M31	L25						DM3L	DM3L	DQ3L2	DQ3L2	DQ4L2	DQ4L2	DQ4L2	DQ4L2
B2	VREFB2N1	IO	DIFFIO_TX29p		P29	G26						DQ16L0	DQ16L0			DQ20L3	DQ20L3		
B2	VREFB2N1	IO	DIFFIO_TX29n		P28	G25						DQ16L1	DQ16L1			DQ21L0	DQ21L0		
B2	VREFB2N1	IO	DIFFIO_RX28p		M34	K28						DQ4L0	DQ4L0	DQ3L3	DQ3L3	DQ4L3	DQ4L3	DQ4L3	DQ4L3
B2	VREFB2N1	IO	DIFFIO_RX28n		M33	K27						DQ4L1	DQ4L1	DM3L	DM3L	DQ5L0	DQ5L0	DQ5L0	DQ5L0
B2	VREFB2N1	IO	DIFFIO_TX28p		R29	M22						DQS16L	DQS16L	DQ16L0	DQ16L0	DQ21L1	DQ21L1		
B2	VREFB2N1	IO	DIFFIO_TX28n		R28	M21						DQ16L2	DQ16L2	DQ16L1	DQ16L1	DQS21L	DQS21L		
B2	VREFB2N2	IO	DIFFIO_RX27p		N31	M27						DQS4L	DQS4L	DQ4L0	DQ4L0	DQ5L1	DQ5L1	DQ5L1	DQ5L1
B2	VREFB2N2	IO	DIFFIO_RX27n		N30	M26						DQ4L2	DQ4L2	DQ4L1	DQ4L1	DQS5L	DQS5L	DQS5L	DQS5L
B2	VREFB2N2	IO	DIFFIO_TX27p		R23	J25						DQ16L3	DQ16L3	DQS16L	DQS16L	DQ21L2	DQ21L2		
B2	VREFB2N2	IO	DIFFIO_TX27n		T23	J24						DM16L	DM16L	DQ16L2	DQ16L2	DQ21L3	DQ21L3		
B2	VREFB2N2	IO	DIFFIO_RX26p		N33	L28						DQ4L3	DQ4L3	DQS4L	DQS4L	DQ5L2	DQ5L2	DQ5L2	DQ5L2
B2	VREFB2N2	IO	DIFFIO_RX26n		N32	M28						DM4L	DM4L	DQ4L2	DQ4L2	DQ5L3	DQ5L3	DQ5L3	DQ5L3
B2	VREFB2N2	IO	DIFFIO_TX26p		T29	H26						DQ17L0	DQ17L0	DQ16L3	DQ16L3	DQ22L0	DQ22L0		
B2	VREFB2N2	IO	DIFFIO_TX26n		T28	H25						DQ17L1	DQ17L1	DM16L	DM16L	DQ22L1	DQ22L1		
B2	VREFB2N2	IO	DIFFIO_RX25p		P32	N28						DQ5L0	DQ5L0	DQ4L3	DQ4L3	DQ6L0	DQ6L0	DQ6L0	DQ6L0
B2	VREFB2N2	IO	DIFFIO_RX25n		P31	P28						DQ5L1	DQ5L1	DM4L	DM4L	DQ6L1	DQ6L1	DQ6L1	DQ6L1
B2	VREFB2N2	IO	DIFFIO_TX25p		U24	K26						DQS17L	DQS17L	DQ17L0	DQ17L0	DQS22L	DQS22L	DQ20L0	DQ20L0
B2	VREFB2N2	IO	DIFFIO_TX25n		U23	K25						DQ17L2	DQ17L2	DQ17L1	DQ17L1	DQ22L2	DQ22L2	DQ20L1	DQ20L1
B2	VREFB2N2	IO	DIFFIO_RX24p		N34	N26						DQS5L	DQS5L	DQ5L0	DQ5L0	DQS6L	DQS6L	DQS6L	DQS6L
B2	VREFB2N2	IO	DIFFIO_RX24n		P34	N25						DQ5L2	DQ5L2	DQ5L1	DQ5L1	DQ6L2	DQ6L2	DQ6L2	DQ6L2
B2	VREFB2N2	IO	DIFFIO_TX24p		U31	M25						DQ17L3	DQ17L3	DQS17L	DQS17L	DQ22L3	DQ22L3	DQS20L	DQS20L
B2	VREFB2N2	IO	DIFFIO_TX24n		U30	M24						DM17L	DM17L	DQ17L2	DQ17L2	DQ23L0	DQ23L0	DQ20L2	DQ20L2
B2	VREFB2N2	VREFB2N2	VREFB2N2		K31	F25													
B2	VREFB2N2	IO	DIFFIO_RX23p		R32	P27						DQ5L3	DQ5L3	DQS5L	DQS5L	DQ6L3	DQ6L3	DQ6L3	DQ6L3
B2	VREFB2N2	IO	DIFFIO_RX23n		R31	P26						DM5L	DM5L	DQ5L2	DQ5L2	DQ7L0	DQ7L0	DQ7L0	DQ7L0
B2	VREFB2N2	IO	DIFFIO_TX23p		U29	P25						DQ18L0	DQ18L0	DQ17L3	DQ17L3	DQ23L1	DQ23L1	DQ20L3	DQ20L3
B2	VREFB2N2	IO	DIFFIO_TX23n		U28	P24						DQ18L1	DQ18L1	DM17L	DM17L	DQS23L	DQS23L	DQ21L0	DQ21L0
B2	VREFB2N2	IO	DIFFIO_RX22p		R34	R28								DQ5L3	DQ5L3	DQ7L1	DQ7L1	DQ7L1	DQ7L1
B2	VREFB2N2	IO	DIFFIO_RX22n		R33	T28								DM5L	DM5L	DQS7L	DQS7L	DQS7L	DQS7L
B2	VREFB2N2	IO	DIFFIO_TX22p		W29	M20						DQS18L	DQS18L	DQ18L0	DQ18L0	DQ23L2	DQ23L2	DQ21L1	DQ21L1
B2	VREFB2N2	IO	DIFFIO_TX22n		V29	N20						DQ18L2	DQ18L2	DQ18L1	DQ18L1	DQ23L3	DQ23L3	DQS21L	DQS21L
B2	VREFB2N2	IO	DIFFIO_RX21p		T32	T27								DQS18L	DQS18L	DQ7L2	DQ7L2	DQ7L2	DQ7L2
B2	VREFB2N2	IO	DIFFIO_RX21n		T31	T26								DQ18L2	DQ18L2	DQ7L3	DQ7L3	DQ7L3	DQ7L3
B2	VREFB2N2	IO	DIFFIO_TX21p		U27	R21						DQ18L3	DQ18L3	DQ18L3	DQ18L3			DQ21L2	DQ21L2
B2	VREFB2N2	IO	DIFFIO_TX21n		V28	R20								DM18L	DM18L	DM18L	DM18L	DQ21L3	DQ21L3
B2	VREFB2N2	IO	CLK0n/DIFFIO_RX_C0n		T34	R25													
B2	VREFB2N2	IO	CLK0p/DIFFIO_RX_C0p		U34	R26													
B2	VREFB2N2	CLK1n	INPUT		U32	T24													
B2	VREFB2N2	CLK1p	INPUT		U33	T25													
		VCCD_PLL1			R27	N22													



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152
		VCCA_PLL1			T25	N23													
		GNDA_PLL1			T26	P23													
		GNDA_PLL1			R26	P22													
		GNDA_PLL2			W26	R23													
		GNDA_PLL2			V26	R22													
		VCCA_PLL2			V25	T23													
		VCCD_PLL2			W27	T22													
B1	VREFB1N0	IO	CLK2p/DIFFIO_RX_C1p		W34	U28													
B1	VREFB1N0	IO	CLK2n/DIFFIO_RX_C1n		V34	U27													
B1	VREFB1N0	CLK3p	INPUT		V32	U26													
B1	VREFB1N0	CLK3n	INPUT		V31	U25													
B1	VREFB1N0	IO	DIFFIO_RX20p		W31	V28						DQ6L0	DQ6L0	DQ6L0	DQ6L0	DQ8L0	DQ8L0	DQ8L0	DQ8L0
B1	VREFB1N0	IO	DIFFIO_RX20n		W30	W28						DQ6L1	DQ6L1	DQ6L1	DQ6L1	DQ8L1	DQ8L1	DQ8L1	DQ8L1
B1	VREFB1N0	IO	DIFFIO_TX20p		V23	T19						DQ19L0	DQ19L0	DQ19L0	DQ19L0	DQ24L0	DQ24L0		
B1	VREFB1N0	IO	DIFFIO_TX20n		W23	U19						DQ19L1	DQ19L1	DQ19L1	DQ19L1	DQ24L1	DQ24L1		
B1	VREFB1N0	IO	DIFFIO_RX19p		W33	Y28						DQS6L	DQS6L	DQS6L	DQS6L	DQS8L	DQS8L	DQS8L	DQS8L
B1	VREFB1N0	IO	DIFFIO_RX19n		W32	AA28						DQ6L2	DQ6L2	DQ6L2	DQ6L2	DQ8L2	DQ8L2	DQ8L2	DQ8L2
B1	VREFB1N0	IO	DIFFIO_TX19p		Y24	U20						DQS19L	DQS19L	DQS19L	DQS19L	DQS24L	DQS24L		
B1	VREFB1N0	IO	DIFFIO_TX19n		Y23	V20						DQ19L2	DQ19L2	DQ19L2	DQ19L2	DQ24L2	DQ24L2		
B1	VREFB1N0	VREFB1N0	VREFB1N0		AE31	AD23													
B1	VREFB1N0	IO	DIFFIO_RX18p		Y32	W27						DQ6L3	DQ6L3	DQ6L3	DQ6L3	DQ8L3	DQ8L3	DQ8L3	DQ8L3
B1	VREFB1N0	IO	DIFFIO_RX18n		Y31	W26						DM6L	DM6L	DM6L	DM6L	DQ9L0	DQ9L0	DQ9L0	DQ9L0
B1	VREFB1N0	IO	DIFFIO_TX18p		W28	Y25						DQ19L3	DQ19L3	DQ19L3	DQ19L3	DQ24L3	DQ24L3		
B1	VREFB1N0	IO	DIFFIO_TX18n		Y29	Y24						DM19L	DM19L	DM19L	DM19L	DQ25L0	DQ25L0		
B1	VREFB1N0	IO	DIFFIO_RX17p		Y34	Y27						DQ7L0	DQ7L0	DQ7L0	DQ7L0	DQ9L1	DQ9L1	DQ9L1	DQ9L1
B1	VREFB1N0	IO	DIFFIO_RX17n		Y33	Y26						DQ7L1	DQ7L1	DQ7L1	DQ7L1	DQS9L	DQS9L	DQS9L	DQS9L
B1	VREFB1N0	IO	DIFFIO_TX17p		Y28	U24						DQ20L0	DQ20L0	DQ20L0	DQ20L0	DQ25L1	DQ25L1		
B1	VREFB1N0	IO	DIFFIO_TX17n		Y27	U23						DQ20L1	DQ20L1	DQ20L1	DQ20L1	DQS25L	DQS25L		
B1	VREFB1N0	IO	DIFFIO_RX16p		AA32	Y26						DQS7L	DQS7L	DQS7L	DQS7L	DQ9L2	DQ9L2	DQ9L2	DQ9L2
B1	VREFB1N0	IO	DIFFIO_RX16n		AA31	V25						DQ7L2	DQ7L2	DQ7L2	DQ7L2	DQ9L3	DQ9L3	DQ9L3	DQ9L3
B1	VREFB1N0	IO	DIFFIO_TX16p		AA29	AA26						DQS20L	DQS20L	DQS20L	DQS20L	DQ25L2	DQ25L2		
B1	VREFB1N0	IO	DIFFIO_TX16n		AA28	AA25						DQ20L2	DQ20L2	DQ20L2	DQ20L2	DQ25L3	DQ25L3		
B1	VREFB1N0	IO	DIFFIO_RX15p		AB31	AB28						DQ7L3	DQ7L3	DQ7L3	DQ7L3	DQ10L0	DQ10L0	DQ10L0	DQ10L0
B1	VREFB1N0	IO	DIFFIO_RX15n		AB30	AB27						DM7L	DM7L	DM7L	DM7L	DQ10L1	DQ10L1	DQ10L1	DQ10L1
B1	VREFB1N0	IO	DIFFIO_TX15p		AA23	V23						DQ20L3	DQ20L3	DQ20L3	DQ20L3	DQ26L0	DQ26L0		
B1	VREFB1N0	IO	DIFFIO_TX15n		AB23	V22						DM20L	DM20L	DM20L	DM20L	DQ26L1	DQ26L1		
B1	VREFB1N1	IO	DIFFIO_RX14p		AB33	AC28						DQ8L0	DQ8L0	DQ8L0	DQ8L0	DQS10L	DQS10L	DQS10L	DQS10L
B1	VREFB1N1	IO	DIFFIO_RX14n		AB32	AD28						DQ8L1	DQ8L1	DQ8L1	DQ8L1	DQ10L2	DQ10L2	DQ10L2	DQ10L2
B1	VREFB1N1	IO	DIFFIO_TX14p		AA26	W21						DQ21L0	DQ21L0	DQ21L0	DQ21L0	DQS26L	DQS26L	DQ22L0	DQ22L0
B1	VREFB1N1	IO	DIFFIO_TX14n		AA25	Y21						DQ21L1	DQ21L1	DQ21L1	DQ21L1	DQ26L2	DQ26L2	DQ22L1	DQ22L1
B1	VREFB1N1	IO	DIFFIO_RX13p		AA34	AD26						DQS8L	DQS8L	DQS8L	DQS8L	DQ10L3	DQ10L3	DQ10L3	DQ10L3
B1	VREFB1N1	IO	DIFFIO_RX13n		AB34	AD25						DQ8L2	DQ8L2	DQ8L2	DQ8L2	DQ11L0	DQ11L0	DQ11L0	DQ11L0
B1	VREFB1N1	IO	DIFFIO_TX13p		AB29	AC25						DQS21L	DQS21L	DQS21L	DQS21L	DQ26L3	DQ26L3	DQS22L	DQS22L
B1	VREFB1N1	IO	DIFFIO_TX13n		AB28	AC24						DQ21L2	DQ21L2	DQ21L2	DQ21L2	DQ27L0	DQ27L0	DQ22L2	DQ22L2
B1	VREFB1N1	IO	DIFFIO_RX12p		AC32	W25						DQ8L3	DQ8L3	DQ8L3	DQ8L3	DQ11L1	DQ11L1	DQ11L1	DQ11L1
B1	VREFB1N1	IO	DIFFIO_RX12n		AC31	W24						DM8L	DM8L	DM8L	DM8L	DQS11L	DQS11L	DQS11L	DQS11L
B1	VREFB1N1	IO	DIFFIO_TX12p		AB24	AB22						DQ21L3	DQ21L3	DQ21L3	DQ21L3	DQ27L1	DQ27L1	DQ22L3	DQ22L3
B1	VREFB1N1	IO	DIFFIO_TX12n		AC24	AB21						DM21L	DM21L	DM21L	DM21L	DQS27L	DQS27L	DQ23L0	DQ23L0



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)				
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
B1	VREFB1N1	VREFB1N1	VREFB1N1		AC30	Y23														
B1	VREFB1N1	IO	DIFFIO_RX11p		AC34	AC27						DQ9L0	DQ9L0	DQ9L0	DQ9L0	DQ11L2	DQ11L2	DQ11L2	DQ11L2	
B1	VREFB1N1	IO	DIFFIO_RX11n		AC33	AC26						DQ9L1	DQ9L1	DQ9L1	DQ9L1	DQ11L3	DQ11L3	DQ11L3	DQ11L3	
B1	VREFB1N1	IO	DIFFIO_TX11p		AB26	AE26						DQ22L0	DQ22L0	DQ22L0	DQ22L0	DQ27L2	DQ27L2	DQ23L1	DQ23L1	
B1	VREFB1N1	IO	DIFFIO_TX11n		AB25	AE25						DQ22L1	DQ22L1	DQ22L1	DQ22L1	DQ27L3	DQ27L3	DQS23L	DQS23L	
B1	VREFB1N1	IO	DIFFIO_RX10p		AD32	AB26						DQS9L	DQS9L	DQS9L	DQS9L	DQ12L0	DQ12L0	DQ12L0	DQ12L0	
B1	VREFB1N1	IO	DIFFIO_RX10n		AD31	AB25						DQ9L2	DQ9L2	DQ9L2	DQ9L2	DQ12L1	DQ12L1	DQ12L1	DQ12L1	
B1	VREFB1N1	IO	DIFFIO_TX10p		AC27	AB24						DQS22L	DQS22L	DQS22L	DQS22L	DQ28L0	DQ28L0	DQ23L2	DQ23L2	
B1	VREFB1N1	IO	DIFFIO_TX10n		AB27	AB23						DQ22L2	DQ22L2	DQ22L2	DQ22L2	DQ28L1	DQ28L1	DQ23L3	DQ23L3	
B1	VREFB1N1	IO	DIFFIO_RX9p		AE33	AE28						DQ9L3	DQ9L3	DQ9L3	DQ9L3	DQS12L	DQS12L	DQS12L	DQS12L	
B1	VREFB1N1	IO	DIFFIO_RX9n		AE32	AE27						DM9L	DM9L	DM9L	DM9L	DQ12L2	DQ12L2	DQ12L2	DQ12L2	
B1	VREFB1N1	IO	DIFFIO_TX9p		AD26	AC23						DQ22L3	DQ22L3	DQ22L3	DQ22L3	DQS28L	DQS28L	DQ24L0		
B1	VREFB1N1	IO	DIFFIO_TX9n		AD25	AC22						DM22L	DM22L	DM22L	DM22L	DQ28L2	DQ28L2	DQ24L1		
B1	VREFB1N1	IO	DIFFIO_RX8p		AD34	AF28						DQ10L0		DQ10L0		DQ12L3	DQ12L3	DQ12L3	DQ12L3	
B1	VREFB1N1	IO	DIFFIO_RX8n		AE34	AF27						DQ10L1		DQ10L1		DQ13L0		DQ13L0		
B1	VREFB1N1	IO	DIFFIO_TX8p		AC29	AA23						DQ23L0		DQ23L0		DQ28L3		DQ28L3		
B1	VREFB1N1	IO	DIFFIO_TX8n		AC28	AA22						DQ23L1		DQ23L1		DQ29L0		DQ24L2		
B1	VREFB1N2	IO	DIFFIO_RX7p		AF32							DQS10L		DQS10L		DQ13L1		DQ13L1		
B1	VREFB1N2	IO	DIFFIO_RX7n		AF31							DQ10L2		DQ10L2		DQS13L		DQS13L		
B1	VREFB1N2	IO	DIFFIO_TX7p		AD29							DQS23L		DQS23L		DQ29L1		DQ24L3		
B1	VREFB1N2	IO	DIFFIO_TX7n		AD28							DQ23L2		DQ23L2		DQS29L		DQ25L0		
B1	VREFB1N2	IO	DIFFIO_RX6p		AF34							DQ10L3		DQ10L3		DQ13L2		DQ13L2		
B1	VREFB1N2	IO	DIFFIO_RX6n		AF33							DM10L		DM10L		DQ13L3		DQ13L3		
B1	VREFB1N2	IO	DIFFIO_TX6p		AE30							DQ23L3		DQ23L3		DQ29L2		DQ25L1		
B1	VREFB1N2	IO	DIFFIO_TX6n		AE29							DM23L		DM23L		DQ29L3		DQS25L		
B1	VREFB1N2	IO	DIFFIO_RX5p		AG32							DQ11L0		DQ11L0		DQ14L0		DQ14L0		
B1	VREFB1N2	IO	DIFFIO_RX5n		AG31							DQ11L1		DQ11L1		DQ14L1		DQ14L1		
B1	VREFB1N2	IO	DIFFIO_TX5p		AE28							DQ24L0		DQ24L0		DQ30L0		DQ25L2		
B1	VREFB1N2	IO	DIFFIO_TX5n		AE27							DQ24L1		DQ24L1		DQ30L1		DQ25L3		
B1	VREFB1N2	IO	DIFFIO_RX4p		AG34							DQS11L		DQS11L		DQS14L		DQS14L		
B1	VREFB1N2	IO	DIFFIO_RX4n		AH34							DQ11L2		DQ11L2		DQ14L2		DQ14L2		
B1	VREFB1N2	IO	DIFFIO_TX4p		AF30							DQS24L		DQS24L		DQS30L		DQ26L0		
B1	VREFB1N2	IO	DIFFIO_TX4n		AF29							DQ24L2		DQ24L2		DQ30L2		DQ26L1		
B1	VREFB1N2	VREFB1N2	VREFB1N2		Y30	W23														
B1	VREFB1N2	IO	DIFFIO_RX3p		AH33							DQ11L3		DQ11L3		DQ14L3		DQ14L3		
B1	VREFB1N2	IO	DIFFIO_RX3n		AH32							DM11L		DM11L		DQ15L0		DQ15L0		
B1	VREFB1N2	IO	DIFFIO_TX3p		AF28							DQ24L3		DQ24L3		DQ30L3		DQS26L		
B1	VREFB1N2	IO	DIFFIO_TX3n		AF27							DM24L		DM24L		DQ31L0		DQ26L2		
B1	VREFB1N2	IO	DIFFIO_RX2p		AJ34									DQ25L0		DQ15L1		DQ15L1		
B1	VREFB1N2	IO	DIFFIO_RX2n		AJ33									DQ25L1		DQS15L		DQS15L		
B1	VREFB1N2	IO	DIFFIO_TX2p		AG29							DQ25L0		DQS25L		DQ31L1		DQ26L3		
B1	VREFB1N2	IO	DIFFIO_TX2n		AG28							DQ25L1		DQ25L1		DQS31L		DQ27L0		
B1	VREFB1N2	IO	DIFFIO_RX1p		AJ32									DQ25L3		DQ15L2		DQ15L2		
B1	VREFB1N2	IO	DIFFIO_RX1n		AJ31									DM25L		DQ15L3		DQ15L3		
B1	VREFB1N2	IO	DIFFIO_TX1p		AH31							DQS25L				DQ31L2		DQ27L1		
B1	VREFB1N2	IO	DIFFIO_TX1n		AH30							DQ25L2				DQ31L3		DQS27L		
B1	VREFB1N2	FPLL8CLKn	INPUT		AM33															
B1	VREFB1N2	FPLL8CLKp	INPUT		AM34															



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)				
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
B1	VREFB1N2	IO	DIFFIO_TX0p		AH29							DQ25L3						DQ27L2		
B1	VREFB1N2	IO	DIFFIO_TX0n		AH28							DM25L						DQ27L3		
			GND_A_PLL8		AF25															
			GND_B_PLL8		AE26															
			VCCA_PLL8		AF26															
			VCCD_PLL8		AE25															
B8	VREFB8N0	TDI		TDI	AL31	V19														
B8	VREFB8N0	TMS		TMS	AM32	W19														
B8	VREFB8N0	TCK		TCK	AL30	V16														
B8	VREFB8N0	TRST		TRST	AM31	W17														
B8	VREFB8N0	nCONFIG		nCONFIG	AE24	V17														
B8	VREFB8N0	VCCSEL		VCCSEL	AF24	W18														
B8	VREFB8N0	IO			AK29	AE23						DQ0B0	DQ0B0				DQ0B0	DQ0B0		
B8	VREFB8N0	IO			AL29							DQ0B1					DQ0B1			
B8	VREFB8N0	IO		CS	AH27	AE24														
B8	VREFB8N0	IO		CLKUSR	AH26	AC21														
B8	VREFB8N0	IO		nWS	AG26	AE22														
B8	VREFB8N0	IO		nRS	AG25	AE21														
B8	VREFB8N0	IO			AH24							DQS0B					DQS0B			
B8	VREFB8N0	IO			AH25							DQ0B2					DQ0B2			
B8	VREFB8N0	IO	DQ17B		AM30	AF26	DQ8B8	DQ3B8				DQ0B3	DQ0B1	DQ17B3	DQ17B3	DQ0B3	DQ0B1	DQ17B3	DQ17B3	
B8	VREFB8N0	IO	DQSn17B		AN31	AF25	DQ8B4	DQ3B4	DQ3B14	DQ1B14	DQ1B33	DM0B	DQ0B0	DQS0B	DQS0B17B	DQS0B17B	DQ1B0	DQS0B	DQS0B17B	DQS0B17B
B8	VREFB8N0	VREFB8N0	VREFB8N0		AK28	AD22														
B8	VREFB8N0	IO	DQ17B		AN32	AG26	DQ8B7	DQ3B7	DQ3B17	DQ1B17		DQ1B0	DQ0B2	DQ17B2	DQ17B2	DQ1B1	DQ0B2	DQ17B2	DQ17B2	
B8	VREFB8N0	IO	DQ17B		AP32	AH25	DQ8B6	DQ3B6	DQ3B16	DQ1B16	DQ1B35	DQ1B1	DQ0B3	DQ17B1	DQ17B1	DQS1B	DQ0B3	DQ17B1	DQ17B1	
B8	VREFB8N0	IO	DQ17B		AP30	AH26	DQ8B5	DQ3B5	DQ3B15	DQ1B15	DQ1B34	DQS1B	DM0B	DQ17B0	DQ17B0	DQ1B2	DQ1B0	DQ17B0	DQ17B0	
B8	VREFB8N0	IO	DQS17B		AP31	AG25	DQVLD8B	DQVLD3B				DQ1B2	DQ1B0	DQS17B	DQS17B	DQ1B3	DQ1B1	DQS17B	DQS17B	
B8	VREFB8N0	IO			AE23	AD20						DQ1B3	DQ1B1			DQ2B0	DQS1B			
B8	VREFB8N0	IO			AF23							DM1B				DQ2B1				
B8	VREFB8N0	IO	DQ16B		AP29	AE20	DQ8B3		DQ3B13		DQ1B32	DQ2B0	DQS1B	DQ16B3		DQS2B	DQ1B2	DQ16B3		
B8	VREFB8N0	IO	DQSn16B		AN29		DQSn8B		DQ3B9		DQ1B28	DQ2B1		DQS16B		DQ2B2		DQS16B		
B8	VREFB8N0	IO	DQ16B		AM29	W16	DQ8B2		DQ3B12		DQ1B31	DQS2B	DQ1B2	DQ16B2		DQ2B3	DQ1B3	DQ16B2		
B8	VREFB8N0	IO	DQ16B		AP28		DQ8B1		DQ3B11		DQ1B30	DQ2B2		DQ16B1		DQ3B0		DQ16B1		
B8	VREFB8N0	IO	DQ16B		AM28	AC20	DQ8B0		DQ3B10		DQ1B29	DQ2B3	DQ1B3	DQ16B0		DQ3B1	DQ2B0	DQ16B0		
B8	VREFB8N0	IO	DQS16B		AN28		DQS8B		DQVLD3B			DM2B		DQS16B		DQS3B		DQS16B		
B8	VREFB8N0	IO			AC23							DQ3B0				DQ3B2				
B8	VREFB8N0	IO			AD23	AB20						DQ3B1	DM1B			DQ3B3	DQ2B1			
B8	VREFB8N0	IO	DQ15B		AJ27	AH24	DQ7B8	DQ3B3	DQ3B8	DQ1B13	DQ1B27	DQS3B	DQ2B0	DQ15B3	DQ15B3	DQ4B0	DQS2B	DQ15B3	DQ15B3	
B8	VREFB8N0	IO	DQSn15B		AL28	AF23	DQ7B4	DQSn3B	DQSn3B	DQ1B9	DQ1B23	DQ3B2	DQ2B1	DQS15B	DQS15B	DQ4B1	DQ2B2	DQS15B	DQS15B	
B8	VREFB8N1	IO	DQ15B		AJ28	AF24	DQ7B7	DQ3B2	DQ3B7	DQ1B12	DQ1B26	DQ3B3	DQS2B	DQ15B2	DQ15B2	DQS4B	DQ2B3	DQ15B2	DQ15B2	
B8	VREFB8N1	IO	DQ15B		AM27	AF22	DQ7B6	DQ3B1	DQ3B6	DQ1B11	DQ1B25	DM3B	DQ2B2	DQ15B1	DQ15B1	DQ4B2	DQ3B0	DQ15B1	DQ15B1	
B8	VREFB8N1	IO	DQ15B		AP27	AH23	DQ7B5	DQ3B0	DQ3B5	DQ1B10	DQ1B24	DQ4B0	DQ2B3	DQ15B0	DQ15B0	DQ4B3	DQ3B1	DQ15B0	DQ15B0	
B8	VREFB8N1	IO	DQS15B		AL27	AG23	DQVLD7B	DQS3B	DQS3B	DQVLD1B		DQ4B1	DM2B	DQS15B	DQS15B	DQ5B0	DQS3B	DQS15B	DQS15B	
B8	VREFB8N1	IO			AF22							DQS4B				DQS5B1				
B8	VREFB8N1	IO			AG22							DQ4B2				DQS5B				
B8	VREFB8N1	IO	DQ14B		AN26	AE19	DQ7B3		DQ3B4		DQ1B22	DQ4B3	DQ3B0	DQ14B3		DQ5B2	DQ3B2	DQ14B3		
B8	VREFB8N1	IO	DQSn14B		AL26		DQSn7B		DQ3B0		DQ1B18	DM4B		DQS14B		DQ5B3		DQS14B		
B8	VREFB8N1	IO	DQ14B		AJ26	AB19	DQ7B2		DQ3B3		DQ1B21	DQ5B0	DQ3B1	DQ14B2		DQ6B0	DQ3B3	DQ14B2		



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152
B8	VREFB8N1	IO	DQ14B		AK26		DQ7B1		DQ3B2		DQ1B20	DQ5B1		DQ14B1	DQ6B1		DQ14B1		
B8	VREFB8N1	IO	DQ14B		AP26	AC19	DQ7B0		DQ3B1		DQ1B19	DQS5B	DQS3B	DQ14B0	DQ6B6	DQ4B0	DQ14B0		
B8	VREFB8N1	IO	DQS14B		AM26		DQS7B					DQ5B2		DQS14B	DQ6B2		DQS14B		
B8	VREFB8N1	IO			AD22	AA19						DQ5B3	DQ3B2		DQ6B3	DQ4B1			
B8	VREFB8N1	IO			AC22							DM5B			DQ7B0				
B8	VREFB8N1	IO	DQ13B		AJ24	AG22	DQ6B8	DQ2B8		DQ1B8		DQ6B0	DQ3B3	DQ13B3	DQ13B3	DQ7B1	DQS4B	DQ13B3	DQ13B3
B8	VREFB8N1	IO	DQSn13B		AL25	AF20	DQ6B4	DQ2B4	DQ2B14	DQSn1B	DQSn1B	DQ6B1	DM3B	DQSB13B	DQSB13B	DQS7B	DQ4B2	DQSB13B	DQS13B
B8	VREFB8N1	VREFB8N1	VREFB8N1		AK25	AD19													
B8	VREFB8N1	IO	DQ13B		AJ25	AH22	DQ6B7	DQ2B7	DQ2B17	DQ1B7	DQ1B17	DQS6B	DQ4B0	DQ13B2	DQ13B2	DQ7B2	DQ4B3	DQ13B2	DQ13B2
B8	VREFB8N1	IO	DQ13B		AN25	AH21	DQ6B6	DQ2B6	DQ2B16	DQ1B6	DQ1B16	DQ6B2	DQ4B1	DQ13B1	DQ13B1	DQ7B3	DQ5B0	DQ13B1	DQ13B1
B8	VREFB8N1	IO	DQ13B		AP25	AF21	DQ6B5	DQ2B5	DQ2B15	DQ1B5	DQ1B15	DQ6B3	DQS4B	DQ13B0	DQ13B0	DQ8B0	DQ5B1	DQ13B0	DQ13B0
B8	VREFB8N1	IO	DQS13B		AM25	AG20	DQVLD6B	DQVLD2B		DQS1B	DQS1B	DM6B	DQ4B2	DQS13B	DQS13B	DQ8B1	DQS5B	DQS13B	DQS13B
B8	VREFB8N1	IO			AB21							DQ7B0			DQS8B				
B8	VREFB8N1	IO			AE22	Y15						DQ7B1	DQ4B3		DQ8B2	DQ5B2			
B8	VREFB8N1	IO	DQ12B		AM24	AE18	DQ6B3		DQ2B13		DQ1B14	DQS7B	DM4B	DQ12B3	DQ8B3	DQ5B3	DQ12B3		
B8	VREFB8N1	IO	DQSn12B		AL24		DQSn6B		DQ2B9		DQ1B10	DQ7B2		DQSB12B	DQ9B0		DQSB12B		
B8	VREFB8N1	IO	DQ12B		AJ23	W15	DQ6B2		DQ2B12		DQ1B13	DQ7B3	DQ5B0	DQ12B2	DQ9B1	DQ6B0	DQ12B2		
B8	VREFB8N1	IO	DQ12B		AK23		DQ6B1		DQ2B11		DQ1B12	DM7B		DQ12B1	DQS9B		DQ12B1		
B8	VREFB8N1	IO	DQ12B		AP24	AC18	DQ6B0		DQ2B10		DQ1B11	DQ8B0	DQ5B1	DQ12B0	DQ9B2	DQ6B1	DQ12B0		
B8	VREFB8N1	IO	DQS12B		AL23		DQS6B		DQVLD2B		DQVLD1B	DQ8B1		DQS12B	DQ9B3		DQS12B		
B8	VREFB8N1	IO			AC21							DQS8B			DQ10B0				
B8	VREFB8N1	IO			AG23	AB18						DQ8B2	DQS5B		DQ10B1	DQS6B			
B8	VREFB8N1	IO	DQ11B		AM23	AH20	DQ5B8	DQ2B3	DQ2B8	DQ1B4	DQ1B9	DQ8B3	DQ5B2	DQ11B3	DQ11B3	DQS10B	DQ6B2	DQ11B3	DQ11B3
B8	VREFB8N1	IO	DQSn11B		AN23	AG19	DQ5B4	DQSn2B	DQSn2B	DQ1B0	DQ1B5	DM8B	DQS5B	DQSB11B	DQSB11B	DQ10B2	DQ6B3	DQSB11B	DQSB11B
B8	VREFB8N2	IO	DQ11B		AP23	AF19	DQ5B7	DQ2B2	DQ2B7	DQ1B3	DQ1B8	DQ9B0	DM5B	DQ11B2	DQ11B2	DQ10B3	DQ7B0	DQ11B2	DQ11B2
B8	VREFB8N2	IO	DQ11B		AM22	AF18	DQ5B6	DQ2B1	DQ2B6	DQ1B2	DQ1B7	DQ9B1	DQ6B0	DQ11B1	DQ11B1	DQ11B0	DQ7B1	DQ11B1	DQ11B1
B8	VREFB8N2	IO	DQ11B		AP22	AH18	DQ5B5	DQ2B0	DQ2B5	DQ1B1	DQ1B6	DQS9B	DQ6B1	DQ11B0	DQ11B0	DQ11B1	DQS7B	DQ11B0	DQ11B0
B8	VREFB8N2	IO	DQS11B		AN22	AH19	DQVLD5B	DQS2B	DQS2B			DQ9B2	DQS6B	DQS11B	DQS11B	DQS11B	DQ7B2	DQS11B	DQS11B
B8	VREFB8N2	IO			AB20							DQ9B3			DQ11B2				
B8	VREFB8N2	IO			AC20							DM9B			DQ11B3				
B8	VREFB8N2	IO	DQ10B		AJ22	AC17	DQ5B3		DQ2B4		DQ1B4	DQ10B0	DQ6B2	DQ10B3	DQ12B0	DQ7B3	DQ10B3		
B8	VREFB8N2	IO	DQSn10B		AL22		DQSn5B		DQ2B0		DQ1B0	DQ10B1		DQSB10B	DQ12B1		DQSB10B		
B8	VREFB8N2	IO	DQ10B		AM21	Y17	DQ5B2		DQ2B3		DQ1B3	DQS10B	DQ6B3	DQ10B2	DQS12B		DQ10B2		
B8	VREFB8N2	IO	DQ10B		AP21		DQ5B1		DQ2B2		DQ1B2	DQ10B2		DQ10B1	DQ12B2		DQ10B1		
B8	VREFB8N2	IO	DQ10B		AJ21	AB17	DQ5B0		DQ2B1		DQ1B1	DQ10B3	DM6B	DQ10B0	DQ12B3		DQ10B0		
B8	VREFB8N2	IO	DQS10B		AL21		DQS5B					DM10B		DQS10B	DQ13B0		DQS10B		
B8	VREFB8N2	VREFB8N2	VREFB8N2		AK22	AD17													
B8	VREFB8N2	IO			AB18							DQ11B0			DQ13B1				
B8	VREFB8N2	IO			AC19	AA17						DQ11B1			DQS13B				
B8	VREFB8N2	IO			AH21							DQS11B			DQ13B2				
B8	VREFB8N2	IO			AH23							DQ11B2			DQ13B3				
B8	VREFB8N2	IO		RUnLU	AH18	AC16													
B8	VREFB8N2	IO		DEV_OE	AG20	AD16													
B8	VREFB8N2	IO		DEV_CLRn	AH20	AE17													
B8	VREFB8N2	IO		nCS	AJ18	AF17													
B12	VREFB8N2	IO	PLL12_FbN/OUT2n (5)		AJ20	AE16 (5)													
B12	VREFB8N2	IO	PLL12_FbP/OUT2p		AK20														
B8	VREFB8N2	IO			AC18							DQ11B3							



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	
B8	VREFB8N2	IO			AH22	AB16						DM11B							
B12	VREFB8N2	IO	PLL12_OUT1n		AL20														
B12	VREFB8N2	IO	PLL12_OUT1p		AM20														
B12	VREFB8N2	IO	PLL12_OUT0n		AN20														
B12	VREFB8N2	IO	PLL12_OUT0p (5)		AP20	AF16 (5)													
B8	VREFB8N2	IO	CLK5n		AH19	AB15													
B8	VREFB8N2	IO	CLK5p		AJ19	AC15													
B8	VREFB8N2	IO	CLK4n		AM19	AG17													
B8	VREFB8N2	IO	CLK4p		AN19	AH17													
B12		VCC_PLL12_OUT			AE20														
		VCCD_PLL12			AF20														
		VCCA_PLL12			AE18														
		GND_A_PLL12			AF19														
		GND_A_PLL12			AF18														
		GND_A_PLL6			AE17	W13													
		GND_A_PLL6			AF17	W14													
		VCCA_PLL6			AE16	Y14													
		VCCD_PLL6			AF16	V14													
B10		VCC_PLL6_OUT			AG16	AA14													
B7	VREFB7N0	IO	CLK7p		AL19	AF15													
B7	VREFB7N0	IO	CLK7n		AK19	AE15													
B7	VREFB7N0	IO	CLK6p		AP18	AH16													
B7	VREFB7N0	IO	CLK6n		AP19	AG16													
B10	VREFB7N0	IO	PLL6_OUT1p		AM18	AG14													
B10	VREFB7N0	IO	PLL6_OUT1n		AL18	AF14													
B10	VREFB7N0	IO	PLL6_OUT0p		AP17	AH15													
B10	VREFB7N0	IO	PLL6_OUT0n		AN17	AH14													
B10	VREFB7N0	IO	PLL6_FBp/OUT2p		AM17	AE14													
B10	VREFB7N0	IO	PLL6_FBn/OUT2n		AL17	AD14													
B7	VREFB7N0	IO			AJ17							DQ12B0					DQ14B0		
B7	VREFB7N0	IO			AH17							DQ12B1					DQ14B1		
B7	VREFB7N0	IO			AC16							DQS12B					DQS14B		
B7	VREFB7N0	IO			AH14							DQ12B2					DQ14B2		
B7	VREFB7N0	IO	DQ9B		AJ16	AG13	DQ4B8	DQ1B8				DQ12B3	DQ7B0	DQ9B3	DQ9B3	DQ14B3	DQ8B0	DQ9B3	DQ9B3
B7	VREFB7N0	IO	DQS9B		AL16	AE13	DQ4B4	DQ1B4	DQ1B14	DQ0B14	DQ0B33	DM12B	DQ7B1	DQS9B9	DQS9B9	DQ15B0	DQ8B1	DQS9B9	DQS9B9
B7	VREFB7N0	VREFB7N0	VREFB7N0		AK17	AB14													
B7	VREFB7N0	IO	DQ9B		AK16	AC14	DQ4B7	DQ1B7	DQ1B17	DQ0B17		DQ13B0	DQS7B	DQ9B2	DQ9B2	DQ15B1	DQS8B	DQ9B2	DQ9B2
B7	VREFB7N0	IO	DQ9B		AN16	AC13	DQ4B6	DQ1B6	DQ1B16	DQ0B16	DQ0B35	DQ13B1	DQ7B2	DQ9B1	DQ9B1	DQS15B	DQ8B2	DQ9B1	DQ9B1
B7	VREFB7N0	IO	DQ9B		AP16	AD13	DQ4B5	DQ1B5	DQ1B15	DQ0B15	DQ0B34	DQS13B	DQ7B3	DQ9B0	DQ9B0	DQ15B2	DQ8B3	DQ9B0	DQ9B0
B7	VREFB7N0	IO	DQS9B		AM16	AF13	DQVLD4B	DQVLD1B				DQ13B2	DM7B	DQS9B	DQS9B	DQ15B3	DQ9B0	DQS9B	DQS9B
B7	VREFB7N0	IO			AG14							DQ13B3					DQ16B0		
B7	VREFB7N0	IO			AF14							DM13B					DQ16B1		
B7	VREFB7N0	IO	DQ8B		AH16	Y13	DQ4B3		DQ1B13		DQ0B32	DQ14B0	DQ8B0	DQ8B3		DQS16B	DQ9B1	DQ8B3	
B7	VREFB7N0	IO	DQS8B		AM15		DQS4B		DQ1B9		DQ0B28	DQ14B1		DQS8B8		DQ16B2		DQS8B8	
B7	VREFB7N0	IO	DQ8B		AH15	W12	DQ4B2		DQ1B12		DQ0B31	DQS14B	DQ8B1	DQ8B2		DQ16B3	DQS9B	DQ8B2	
B7	VREFB7N0	IO	DQ8B		AJ15	V13	DQ4B1		DQ1B11		DQ0B30	DQ14B2	DQS8B	DQ8B1		DQ17B0	DQ9B2	DQ8B1	
B7	VREFB7N0	IO	DQ8B		AP15		DQ4B0		DQ1B10		DQ0B29	DQ14B3		DQ8B0		DQ17B1		DQ8B0	
B7	VREFB7N0	IO	DQS8B		AL15	AB13	DQS4B		DQVLD1B			DM14B	DQ8B2	DQS8B		DQS17B	DQ9B3	DQS8B	



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152
B7	VREFB7N0	IO			AC15							DQ15B0				DQ17B2			
B7	VREFB7N0	IO			AG13							DQ15B1				DQ17B3			
B7	VREFB7N0	IO	DQ7B		AP14	AH13	DQ3B8	DQ1B3	DQ1B8	DQ0B13	DQ0B27	DQ15B	DQ8B3	DQ7B3	DQ7B3	DQ18B0	DQ10B0	DQ7B3	DQ7B3
B7	VREFB7N0	IO	DQSn7B		AM14	AF12	DQ3B4	DQSn1B	DQSn1B	DQ0B9	DQ0B23	DQ15B2	DM8B	DQSB7B	DQSB7B	DQ18B1	DQ10B1	DQSB7B	DQSB7B
B7	VREFB7N1	IO	DQ7B		AK14	AH12	DQ3B7	DQ1B2	DQ1B7	DQ0B12	DQ0B26	DQ15B3	DQ9B0	DQ7B2	DQ7B2	DQ18B	DQ10B	DQ7B2	DQ7B2
B7	VREFB7N1	IO	DQ7B		AJ14	AG11	DQ3B6	DQ1B1	DQ1B6	DQ0B11	DQ0B25	DM15B	DQ9B1	DQ7B1	DQ7B1	DQ18B2	DQ10B2	DQ7B1	DQ7B1
B7	VREFB7N1	IO	DQ7B		AN14	AH11	DQ3B5	DQ1B0	DQ1B5	DQ0B10	DQ0B24	DQ16B0	DQ9B9	DQ7B0	DQ7B0	DQ18B3	DQ10B3	DQ7B0	DQ7B0
B7	VREFB7N1	IO	DQS7B		AL14	AE12	DQVLD3B	DQS1B	DQS1B	DQVLD0B		DQ16B1	DQ9B2	DQS7B	DQS7B	DQ19B0	DQ11B0	DQS7B	DQS7B
B7	VREFB7N1	IO			AE14							DQS16B				DQ19B1			
B7	VREFB7N1	IO			AC14							DQ16B2				DQS19B			
B7	VREFB7N1	IO	DQ6B		AP13	V11	DQ3B3		DQ1B4		DQ0B22	DQ16B3	DQ9B3	DQ6B3		DQ19B2	DQ11B1	DQ6B3	
B7	VREFB7N1	IO	DQSn6B		AM13	AB12	DQSn3B		DQ1B0		DQ0B18	DM16B	DM9B	DQSB6B		DQ19B3	DQS11B	DQSB6B	
B7	VREFB7N1	IO	DQ6B		AH13		DQ3B2		DQ1B3		DQ0B21	DQ17B0		DQ6B2		DQ20B0		DQ6B2	
B7	VREFB7N1	IO	DQ6B		AJ13	W11	DQ3B1		DQ1B2		DQ0B20	DQ17B1	DQ10B0	DQ6B1		DQ20B1	DQ11B2	DQ6B1	
B7	VREFB7N1	IO	DQ6B		AN13		DQ3B0		DQ1B1		DQ0B19	DQS17B		DQ6B0		DQS20B		DQ6B0	
B7	VREFB7N1	IO	DQS6B		AL13	AC12	DQS3B					DQ17B2	DQ10B1	DQS6B		DQ20B2	DQ11B3	DQS6B	
B7	VREFB7N1	IO			AD14							DQ17B3				DQ20B3			
B7	VREFB7N1	IO			AF13							DM17B				DQ21B0			
B7	VREFB7N1	IO	DQ5B		AP12	AD11	DQ2B8	DQ0B8		DQ0B8		DQ18B0	DQS10B	DQ5B3	DQ5B3	DQ21B1	DQ12B0	DQ5B3	DQ5B3
B7	VREFB7N1	IO	DQSn5B		AM12	AF11	DQ2B4	DQ0B4	DQ0B14	DQSn0B	DQSn0B	DQ18B1	DQ10B2	DQSB5B	DQSB5B	DQS21B	DQ12B1	DQSB5B	DQSB5B
B7	VREFB7N1	VREFB7N1	VREFB7N1		AK13	AC10													
B7	VREFB7N1	IO	DQ5B		AH11	AF10	DQ2B7	DQ0B7	DQ0B17	DQ0B7	DQ0B17	DQS18B	DQ10B3	DQ5B2	DQ5B2	DQ21B2	DQS12B	DQ5B2	DQ5B2
B7	VREFB7N1	IO	DQ5B		AH12	AG10	DQ2B6	DQ0B6	DQ0B16	DQ0B6	DQ0B16	DQ18B2	DM10B	DQ5B1	DQ5B1	DQ21B3	DQ12B2	DQ5B1	DQ5B1
B7	VREFB7N1	IO	DQ5B		AJ12	AH10	DQ2B5	DQ0B5	DQ0B15	DQ0B5	DQ0B15	DQ18B3	DQ11B0	DQ5B0	DQ5B0	DQ22B0	DQ12B3	DQ5B0	DQ5B0
B7	VREFB7N1	IO	DQS5B		AL12	AE11	DQVLD2B	DQVLD0B		DQS0B	DQS0B	DM18B	DQ11B1	DQS5B	DQS5B	DQ22B1	DQ13B0	DQS5B	DQS5B
B7	VREFB7N1	IO			AG11							DQ19B0				DQS22B			
B7	VREFB7N1	IO			AE13	AA11						DQ19B1	DQS11B			DQ22B2	DQ13B1		
B7	VREFB7N1	IO	DQ4B		AP11		DQ2B3		DQ0B13		DQ0B14	DQS19B		DQ4B3		DQ22B3		DQ4B3	
B7	VREFB7N1	IO	DQSn4B		AM11	AB11	DQSn2B		DQ0B9		DQ0B10	DQ19B2	DQ11B2	DQSB4B		DQ23B0	DQS13B	DQSB4B	
B7	VREFB7N1	IO	DQ4B		AJ11		DQ2B2		DQ0B12		DQ0B13	DQ19B3		DQ4B2		DQ23B1		DQ4B2	
B7	VREFB7N1	IO	DQ4B		AK11	Y11	DQ2B1		DQ0B11		DQ0B12	DM19B	DQ11B3	DQ4B1		DQS23B	DQ13B2	DQ4B1	
B7	VREFB7N1	IO	DQ4B		AN11	AC11	DQ2B0		DQ0B10		DQ0B11	DQ20B0	DM11B	DQ4B0		DQ23B2	DQ13B3	DQ4B0	
B7	VREFB7N1	IO	DQS4B		AL11		DQS2B		DQVLD0B		DQVLD0B	DQ20B1		DQS4B		DQ23B3		DQS4B	
B7	VREFB7N1	IO			AG10							DQS20B				DQ24B0			
B7	VREFB7N1	IO			AF11							DQ20B2				DQ24B1			
B7	VREFB7N1	IO	DQ3B		AP10	AE10	DQ1B8	DQ0B3	DQ0B8	DQ0B4	DQ0B9	DQ20B3	DQ12B0	DQ3B3	DQ3B3	DQS24B	DQ14B0	DQ3B3	DQ3B3
B7	VREFB7N1	IO	DQSn3B		AM10	AF9	DQ1B4	DQSn0B	DQSn0B	DQ0B0	DQ0B5	DM20B	DQ12B1	DQSB3B	DQSB3B	DQ24B2	DQ14B1	DQSB3B	DQSB3B
B7	VREFB7N2	IO	DQ3B		AH10	AH8	DQ1B7	DQ0B2	DQ0B7	DQ0B3	DQ0B8	DQ21B0	DQS12B	DQ3B2	DQ3B2	DQ24B3	DQS14B	DQ3B2	DQ3B2
B7	VREFB7N2	IO	DQ3B		AJ10	AH9	DQ1B6	DQ0B1	DQ0B6	DQ0B2	DQ0B7	DQ21B1	DQ12B2	DQ3B1	DQ3B1	DQ25B0	DQ14B2	DQ3B1	DQ3B1
B7	VREFB7N2	IO	DQ3B		AN10	AD10	DQ1B5	DQ0B0	DQ0B5	DQ0B1	DQ0B6	DQS21B	DQ12B3	DQ3B0	DQ3B0	DQ25B1	DQ14B3	DQ3B0	DQ3B0
B7	VREFB7N2	IO	DQS3B		AL10	AE9	DQVLD1B	DQS0B	DQS0B			DQ21B2	DM12B	DQS3B	DQS3B	DQS25B	DQ15B0	DQS3B	DQS3B
B7	VREFB7N2	IO			AC13							DQ21B3				DQ25B2			
B7	VREFB7N2	IO			AD13							DM21B				DQ25B3			
B7	VREFB7N2	IO	DQ2B		AP9		DQ1B3		DQ0B4		DQ0B4	DQ22B0		DQ2B3		DQ26B0		DQ2B3	
B7	VREFB7N2	IO	DQSn2B		AM9		DQSn1B		DQ0B0		DQ0B0	DQ22B1		DQSB2B		DQ26B1		DQSB2B	
B7	VREFB7N2	IO	DQ2B		AH9	AB10	DQ1B2		DQ0B3		DQ0B3	DQS22B	DQ13B0	DQ2B2		DQS26B	DQ15B1	DQ2B2	
B7	VREFB7N2	IO	DQ2B		AH8	Y10	DQ1B1		DQ0B2		DQ0B2	DQ22B2	DQ13B1	DQ2B1		DQ26B2	DQS15B	DQ2B1	
B7	VREFB7N2	IO	DQ2B		AJ9		DQ1B0		DQ0B1		DQ0B1	DQ22B3		DQ2B0		DQ26B3		DQ2B0	





Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152
B7	VREFB7N2	IO	DQS2B		AL9		DQS1B					DM22B		DQS2B		DQ27B0		DQS2B	
B7	VREFB7N2	IO			AF10							DQ23B0				DQ27B1			
B7	VREFB7N2	IO			AE11							DQ23B1				DQS27B			
B7	VREFB7N2	IO	DQ1B		AP8	AH7	DQ0B8					DQS23B	DQS13B	DQ1B3	DQ1B3	DQ27B2	DQ15B2	DQ1B3	DQ1B3
B7	VREFB7N2	IO	DQSn1B		AM8	AG8	DQ0B4					DQ23B2	DQ13B2	DQSB1B	DQSB1B	DQ27B3	DQ15B3	DQSB1B	DQSB1B
B7	VREFB7N2	VREFB7N2	VREFB7N2		AK10	AD8													
B7	VREFB7N2	IO	DQ1B		AJ8	AE7	DQ0B7					DQ23B3	DQ13B3	DQ1B2	DQ1B2	DQ28B0	DQ16B0	DQ1B2	DQ1B2
B7	VREFB7N2	IO	DQ1B		AK8	AF7	DQ0B6					DM23B	DM13B	DQ1B1	DQ1B1	DQ28B1	DQ16B1	DQ1B1	DQ1B1
B7	VREFB7N2	IO	DQ1B		AN8	AE8	DQ0B5					DQ24B0	DQ14B0	DQ1B0	DQ1B0	DQS28B	DQS16B	DQ1B0	DQ1B0
B7	VREFB7N2	IO	DQS1B		AL8	AF8	DQVLD0B					DQ24B1	DQ14B1	DQS1B	DQS1B	DQ28B2	DQ16B2	DQS1B	DQS1B
B7	VREFB7N2	IO	RDN7		AE10	AC8													
B7	VREFB7N2	IO	RUP7		AE9	AB8													
B7	VREFB7N2	IO	DQ0B		AP7	AB9	DQ0B3					DQS24B	DQS14B	DQ0B3		DQ28B3	DQ16B3	DQ0B3	
B7	VREFB7N2	IO	DQSn0B		AM7	AC9	DQSn0B					DQ24B2	DQ14B2	DQSB0B		DQ29B0		DQSB0B	
B7	VREFB7N2	IO	DQ0B		AG8		DQ0B2					DQ24B3		DQ0B2		DQ29B1		DQ0B2	
B7	VREFB7N2	IO	DQ0B		AH7	W10	DQ0B1					DM24B		DQ14B3	DQ0B1	DQS29B		DQ0B1	
B7	VREFB7N2	IO	DQ0B		AJ7	W9	DQ0B0						DM14B	DQ0B0		DQ29B2		DQ0B0	
B7	VREFB7N2	IO	DQS0B		AL7		DQS0B							DQS0B		DQ29B3		DQS0B	
B7	VREFB7N2	PORSEL		PORSEL	AE8	Y8													
B7	VREFB7N2	nIO_PULLUP		nIO_PULLUP	AE7	Y7													
B7	VREFB7N2	PLL_ENA		PLL_ENA	AF8	AA8													
		GND			AF7	AC7													
B7	VREFB7N2	nCEO		nCEO	AF9	AB7													
B15		GXB_RX11n			AM2														
B15		GXB_RX11p			AM1														
B15		GXB_TX11n			AP5														
B15		GXB_TX11p			AP4														
B15		GXB_RX10n			AK2														
B15		GXB_RX10p			AK1														
B15		GXB_TX10n			AM5														
B15		GXB_TX10p			AM4														
B15		RREFB15			AH4														
B15		REFCLK0_B15n			AK5														
B15		REFCLK0_B15p			AK4														
B15		REFCLK1_B15n			AH2														
B15		REFCLK1_B15p			AH1														
		VCCL_B15			AB8														
		VCCA			AC11														
		VCCA			AA8														
		VCCA			AC9														
		GND			AC10														
B15		GXB_RX8n			AF2														
B15		GXB_RX8p			AF1														
B15		GXB_TX8n			AF5														
B15		GXB_TX8p			AF4														
B15		GXB_RX9n			AD2														
B15		GXB_RX9p			AD1														
B15		GXB_TX9n			AD5														



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
B15		GXB_TX9p			AD4														
B14		GXB_RX7n (3)			AB2	AD2													
B14		GXB_RX7p (3)			AB1	AD1													
B14		GXB_TX7n (3)			AB5	AF5													
B14		GXB_TX7p (3)			AB4	AF4													
B14		GXB_RX6n (3)			Y2	AB2													
B14		GXB_RX6p (3)			Y1	AB1													
B14		GXB_TX6n (3)			Y5	AD5													
B14		GXB_TX6p (3)			Y4	AD4													
B14		RREFB14 (3)			V4	Y4													
B14		REFCLK0_B14n (3)			V2	Y2													
B14		REFCLK0_B14p (3)			V1	Y1													
B14		REFCLK1_B14n (3)			U7	AB5													
B14		REFCLK1_B14p (3)			U6	AB4													
		VCCL_B14			V8	U6													
		VCCA			W11	V9													
		VCCA			U8	T6													
		VCCA			W9	V7													
		GND			W10	V8													
B14		GXB_RX4n (3)			R2	V2													
B14		GXB_RX4p (3)			R1	V1													
B14		GXB_TX4n (3)			R5	V5													
B14		GXB_TX4p (3)			R4	V4													
B14		GXB_RX5n (3)			N2	T2													
B14		GXB_RX5p (3)			N1	T1													
B14		GXB_TX5n (3)			N5	T5													
B14		GXB_TX5p (3)			N4	T4													
B13		GXB_RX3n			L2	N2													
B13		GXB_RX3p			L1	N1													
B13		GXB_TX3n			L5	N5													
B13		GXB_TX3p			L4	N4													
B13		GXB_RX2n			J2	L2													
B13		GXB_RX2p			J1	L1													
B13		GXB_TX2n			J5	L5													
B13		GXB_TX2p			J4	L4													
B13		RREFB13			G4	J4													
B13		REFCLK0_B13n			G2	J2													
B13		REFCLK0_B13p			G1	J1													
B13		REFCLK1_B13n			E5	G5													
B13		REFCLK1_B13p			E4	G4													
		VCCL_B13			P8	N6													
		VCCA			R11	P9													
		VCCA			N8	M6													
		VCCA			R9	P7													
		GND			R10	P8													
B13		GXB_RX0n			E2	G2													
B13		GXB_RX0p			E1	G1													
B13		GXB_TX0n			C5	E5													



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)				
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
B13		GXB_TX0p			C4	E4														
B13		GXB_RX1n			C2	E2														
B13		GXB_RX1p			C1	E1														
B13		GXB_TX1n			A5	C5														
B13		GXB_TX1p			A4	C4														
		NC			L7	K7														
		NC			L8	K8														
		VCCA			L9	K9														
		TEMPDIODEp			J8	F7														
		TEMPDIODEn			J7	G7														
B4	VREFB4N0	TDO		TDO	H10	F8														
B4	VREFB4N0	MSEL3		MSEL3	H11	G8														
B4	VREFB4N0	MSEL2		MSEL2	J10	H8														
B4	VREFB4N0	MSEL1		MSEL1	J9	E8														
B4	VREFB4N0	MSEL0		MSEL0	K10	J8														
B4	VREFB4N0	IO	DQS0T		D7		DQS0T							DQS0T			DQ28T3		DQS0T	
B4	VREFB4N0	IO	DQ0T		F7		DQ0T0							DQ0T0			DQ28T2		DQ0T0	
B4	VREFB4N0	IO	DQ0T		G7		DQ0T1					DM23T		DQ0T1			DQS28T		DQ0T1	
B4	VREFB4N0	IO	DQ0T		H8	K10	DQ0T2					DQ23T3		DQ0T2			DQ28T1	DQ17T3	DQ0T2	
B4	VREFB4N0	IO	DQSn0T		C7		DQSn0T					DQ23T2		DQSB0T			DQ28T0		DQSB0T	
B4	VREFB4N0	IO	DQ0T		A7	G9	DQ0T3					DQS23T		DQ0T3			DQ27T3	DQ17T2	DQ0T3	
B4	VREFB4N0	IO	RUP4		J11	C7														
B4	VREFB4N0	IO	RDN4		K11	D7														
B4	VREFB4N0	IO	DQS1T		D8	C8	DQVLD0T					DQ23T1	DM14T	DQS1T	DQS1T		DQ27T2	DQS17T	DQS1T	DQS1T
B4	VREFB4N0	IO	DQ1T		B8	D9	DQ0T5					DQ23T0	DQ14T3	DQ1T0	DQ1T0		DQS27T	DQ17T1	DQ1T0	DQ1T0
B4	VREFB4N0	IO	DQ1T		E8	A7	DQ0T6					DM22T	DQ14T2	DQ1T1	DQ1T1		DQ27T1	DQ17T0	DQ1T1	DQ1T1
B4	VREFB4N0	IO	DQ1T		F8	D8	DQ0T7					DQ22T3	DQS14T	DQ1T2	DQ1T2		DQ27T0	DQ16T3	DQ1T2	DQ1T2
B4	VREFB4N0	VREFB4N0	VREFB4N0		E10	F9														
B4	VREFB4N0	IO	DQSn1T		C8	B8	DQ0T4					DQ22T2	DQ14T1	DQSB1T	DQSB1T		DQ26T3	DQ16T2	DQSB1T	DQSB1T
B4	VREFB4N0	IO	DQ1T		A8	A8	DQ0T8					DQS22T	DQ14T0	DQ1T3	DQ1T3		DQ26T2	DQS16T	DQ1T3	DQ1T3
B4	VREFB4N0	IO			H13							DQ22T1					DQS26T			
B4	VREFB4N0	IO			J13							DQ22T0					DQ26T1			
B4	VREFB4N0	IO	DQS2T		D9	E10	DQS1T					DM21T	DM13T	DQS2T			DQ26T0	DQ16T1	DQS2T	
B4	VREFB4N0	IO	DQ2T		F9		DQ1T0	DQ0T1				DQ0T1	DQ21T3		DQ2T0		DQ25T3		DQ2T0	
B4	VREFB4N0	IO	DQ2T		G8	J10	DQ1T1	DQ0T2				DQ0T2	DQ21T2	DQ13T3	DQ2T1		DQ25T2	DQ16T0	DQ2T1	
B4	VREFB4N0	IO	DQ2T		G9	H10	DQ1T2	DQ0T3				DQ0T3	DQS21T	DQ13T2	DQ2T2		DQS25T	DQ15T3	DQ2T2	
B4	VREFB4N0	IO	DQSn2T		C9		DQSn1T	DQ0T0				DQ0T0	DQ21T1		DQSB2T		DQ25T1		DQSB2T	
B4	VREFB4N0	IO	DQ2T		A9	G10	DQ1T3	DQ0T4				DQ0T4	DQ21T0	DQS13T	DQ2T3		DQ25T0	DQ15T2	DQ2T3	
B4	VREFB4N0	IO			K13							DM20T					DQ24T3			
B4	VREFB4N0	IO			L13							DQ20T3					DQ24T2			
B4	VREFB4N0	IO	DQS3T		D10	D10	DQVLD1T	DQS0T	DQS0T			DQ20T2	DQ13T1	DQS3T	DQS3T		DQS24T	DQS15T	DQS3T	DQS3T
B4	VREFB4N0	IO	DQ3T		B10	B10	DQ1T5	DQ0T0	DQ0T5	DQ0T1		DQ0T6	DQS20T	DQ13T0	DQ3T0	DQ3T0	DQ24T1	DQ15T1	DQ3T0	DQ3T0
B4	VREFB4N0	IO	DQ3T		F10	A9	DQ1T6	DQ0T1	DQ0T6	DQ0T2		DQ0T7	DQ20T1	DM12T	DQ3T1	DQ3T1	DQ24T0	DQ15T0	DQ3T1	DQ3T1
B4	VREFB4N0	IO	DQ3T		G10	C9	DQ1T7	DQ0T2	DQ0T7	DQ0T3		DQ0T8	DQ20T0	DQ12T3	DQ3T2	DQ3T2	DQ23T3	DQ14T3	DQ3T2	DQ3T2
B4	VREFB4N1	IO	DQSn3T		C10	C10	DQ1T4	DQSn0T	DQSn0T	DQ0T0		DQ0T5	DM19T	DQ12T2	DQSB3T	DQSB3T	DQ23T2	DQ14T2	DQSB3T	DQSB3T
B4	VREFB4N1	IO	DQ3T		A10	E11	DQ1T8	DQ0T3	DQ0T8	DQ0T4		DQ0T9	DQ19T3	DQS12T	DQ3T3	DQ3T3	DQS23T	DQS14T	DQ3T3	DQ3T3
B4	VREFB4N1	IO			H14	K11							DQ19T2	DQ12T1			DQ23T1	DQ14T1		
B4	VREFB4N1	IO			M14								DQS19T				DQ23T0			



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152
B4	VREFB4N1	IO	DQS4T		D11		DQS2T		DQVLD0T		DQVLD0T	DQ19T1		DQS4T		DQ22T3		DQS4T	
B4	VREFB4N1	IO	DQ4T		B11	G11	DQ2T0		DQ0T10		DQ0T11	DQ19T0	DQ12T0	DQ4T0		DQ22T2	DQ14T0	DQ4T0	
B4	VREFB4N1	IO	DQ4T		E11	J11	DQ2T1		DQ0T11		DQ0T12	DM18T	DM11T	DQ4T1		DQS22T	DQ13T3	DQ4T1	
B4	VREFB4N1	IO	DQ4T		F11		DQ2T2		DQ0T12		DQ0T13	DQ18T3		DQ4T2		DQ22T1		DQ4T2	
B4	VREFB4N1	IO	DQSn4T		C11	F11	DQSn2T		DQ0T9		DQ0T10	DQ18T2	DQ11T3	DQSB4T		DQ22T0	DQ13T2	DQSB4T	
B4	VREFB4N1	IO	DQ4T		A11	H11	DQ2T3		DQ0T13		DQ0T14	DQS18T	DQ11T2	DQ4T3		DQ21T3	DQS13T	DQ4T3	
B4	VREFB4N1	IO			K14							DQ18T1				DQ21T2			
B4	VREFB4N1	IO			L14							DQ18T0				DQS21T			
B4	VREFB4N1	IO	DQS5T		D12	C11	DQVLD2T	DQVLD0T		DQS0T	DQS0T	DM17T	DQS11T	DQS5T	DQS5T	DQ21T0	DQ13T1	DQS5T	DQS5T
B4	VREFB4N1	IO	DQ5T		F12	C12	DQ2T5	DQ0T5	DQ0T15	DQ0T5	DQ0T15	DQ17T3	DQ11T1	DQ5T0	DQ5T0	DQ21T1	DQ13T0	DQ5T0	DQ5T0
B4	VREFB4N1	IO	DQ5T		G12	D11	DQ2T6	DQ0T6	DQ0T16	DQ0T6	DQ0T16	DQ17T2	DQ11T0	DQ5T1	DQ5T1	DQ20T3	DQ12T3	DQ5T1	DQ5T1
B4	VREFB4N1	IO	DQ5T		G11	A10	DQ2T7	DQ0T7	DQ0T17	DQ0T7	DQ0T17	DQS17T	DM10T	DQ5T2	DQ5T2	DQ20T2	DQ12T2	DQ5T2	DQ5T2
B4	VREFB4N1	VREFB4N1	VREFB4N1		E13	F10													
B4	VREFB4N1	IO	DQSn5T		C12	B11	DQ2T4	DQ0T4	DQ0T14	DQSn0T	DQSn0T	DQ17T1	DQ10T3	DQSB5T	DQSB5T	DQS20T	DQS12T	DQSB5T	DQSB5T
B4	VREFB4N1	IO	DQ5T		A12	D12	DQ2T8	DQ0T8		DQ0T8		DQ17T0	DQ10T2	DQ5T3	DQ5T3	DQ20T1	DQ12T1	DQ5T3	DQ5T3
B4	VREFB4N1	IO			J14							DM16T				DQ20T0			
B4	VREFB4N1	IO			M15							DQ16T3				DQ19T3			
B4	VREFB4N1	IO	DQS6T		D13		DQS3T					DQ16T2		DQS6T		DQ19T2		DQS6T	
B4	VREFB4N1	IO	DQ6T		B13	K12	DQ3T0		DQ1T1		DQ0T19	DQS16T	DQS10T	DQ6T0		DQS19T	DQ12T0	DQ6T0	
B4	VREFB4N1	IO	DQ6T		F13	L12	DQ3T1		DQ1T2		DQ0T20	DQ16T1	DQ10T1	DQ6T1		DQ19T1	DQ11T3	DQ6T1	
B4	VREFB4N1	IO	DQ6T		G13		DQ3T2		DQ1T3		DQ0T21	DQ16T0		DQ6T2		DQ19T0		DQ6T2	
B4	VREFB4N1	IO	DQSn6T		C13	G12	DQSn3T		DQ1T0		DQ0T18	DM15T	DQ10T0	DQSB6T		DQ18T3	DQ11T2	DQSB6T	
B4	VREFB4N1	IO	DQ6T		A13	L13	DQ3T3		DQ1T4		DQ0T22	DQ15T3	DM9T	DQ6T3		DQ18T2	DQS11T	DQ6T3	
B4	VREFB4N1	IO			N17							DQ15T2				DQS18T			
B4	VREFB4N1	IO			F18							DQS15T				DQ18T1			
B4	VREFB4N1	IO	DQS7T		D14	D13	DQVLD3T	DQS1T	DQS1T	DQVLD0T		DQ15T1	DQ9T3	DQS7T	DQS7T	DQ18T0	DQ11T1	DQS7T	DQS7T
B4	VREFB4N1	IO	DQ7T		B14	A11	DQ3T5	DQ1T0	DQ1T5	DQ0T10	DQ0T24	DQ15T0	DQ9T2	DQ7T0	DQ7T0	DQ17T3	DQ11T0	DQ7T0	DQ7T0
B4	VREFB4N1	IO	DQ7T		F14	F13	DQ3T6	DQ1T1	DQ1T6	DQ0T11	DQ0T25	DM14T	DQS9T	DQ7T1	DQ7T1	DQ17T2	DQ10T3	DQ7T1	DQ7T1
B4	VREFB4N1	IO	DQ7T		E14	A12	DQ3T7	DQ1T2	DQ1T7	DQ0T12	DQ0T26	DQ14T3	DQ9T1	DQ7T2	DQ7T2	DQS17T	DQ10T2	DQ7T2	DQ7T2
B4	VREFB4N2	IO	DQSn7T		C14	C13	DQ3T4	DQSn1T	DQSn1T	DQ0T9	DQ0T23	DQ14T2	DQ9T0	DQSB7T	DQSB7T	DQ17T1	DQS10T	DQSB7T	DQSB7T
B4	VREFB4N2	IO	DQ7T		A14	E13	DQ3T8	DQ1T3	DQ1T8	DQ0T13	DQ0T27	DQS14T	DM8T	DQ7T3	DQ7T3	DQ17T0	DQ10T1	DQ7T3	DQ7T3
B4	VREFB4N2	IO			G18							DQ14T1				DQ16T3			
B4	VREFB4N2	IO			M16							DQ14T0				DQ16T2			
B4	VREFB4N2	IO	DQS8T		D15	L14	DQS4T		DQVLD1T			DM13T	DQ8T3	DQS8T		DQS16T	DQ10T0	DQS8T	
B4	VREFB4N2	IO	DQ8T		A15	H13	DQ4T0		DQ1T10		DQ0T29	DQ13T3	DQ8T2	DQ8T0		DQ16T1	DQ9T3	DQ8T0	
B4	VREFB4N2	IO	DQ8T		F15		DQ4T1		DQ1T11		DQ0T30	DQ13T2		DQ8T1		DQ16T0		DQ8T1	
B4	VREFB4N2	IO	DQ8T		G15	K13	DQ4T2		DQ1T12		DQ0T31	DQS13T	DQS8T	DQ8T2		DQ15T3	DQ9T2	DQ8T2	
B4	VREFB4N2	IO	DQSn8T		C15	G13	DQSn4T		DQ1T9		DQ0T28	DQ13T1	DQ8T1	DQSB8T		DQ15T2	DQS9T	DQSB8T	
B4	VREFB4N2	IO	DQ8T		G14		DQ4T3		DQ1T13		DQ0T32	DQ13T0		DQ8T3		DQS15T		DQ8T3	
B4	VREFB4N2	IO			N18							DM12T				DQ15T1			
B4	VREFB4N2	IO			M17							DQ12T3				DQ15T0			
B4	VREFB4N2	IO	DQS9T		C16	B14	DQVLD4T	DQVLD1T				DQ12T2	DQ8T0	DQS9T	DQS9T	DQ14T3	DQ9T1	DQS9T	DQS9T
B4	VREFB4N2	IO	DQ9T		A16	E14	DQ4T5	DQ1T5	DQ1T15	DQ0T15	DQ0T34	DQS12T	DM7T	DQ9T0	DQ9T0	DQ14T2	DQ9T0	DQ9T0	DQ9T0
B4	VREFB4N2	IO	DQ9T		B16	A13	DQ4T6	DQ1T6	DQ1T16	DQ0T16	DQ0T35	DQ12T1	DQ7T3	DQ9T1	DQ9T1	DQS14T	DQ8T3	DQ9T1	DQ9T1
B4	VREFB4N2	IO	DQ9T		F16	B13	DQ4T7	DQ1T7	DQ1T17	DQ0T17		DQ12T0	DQ7T2	DQ9T2	DQ9T2	DQ14T1	DQ8T2	DQ9T2	DQ9T2
B4	VREFB4N2	VREFB4N2	VREFB4N2		E16	F12													
B4	VREFB4N2	IO	DQSn9T		D16	C14	DQ4T4	DQ1T4	DQ1T14	DQ0T14	DQ0T33	DM11T	DQS7T	DQSB9T	DQSB9T	DQ14T0	DQS8T	DQSB9T	DQSB9T
B4	VREFB4N2	IO	DQ9T		G16	D14	DQ4T8	DQ1T8				DQ11T3	DQ7T1	DQ9T3	DQ9T3	DQ13T3	DQ8T1	DQ9T3	DQ9T3



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152
B4	VREFB4N2	IO			F19							DQ11T2				DQ13T2			
B4	VREFB4N2	IO			M18							DQS11T				DQS13T			
B4	VREFB4N2	IO			M19							DQ11T1				DQ13T1			
B4	VREFB4N2	IO			G19	K14						DQ11T0	DQ7T0			DQ13T0	DQ8T0		
B9	VREFB4N2	IO	PLL5_FBn/OUT2n		F17	G14													
B9	VREFB4N2	IO	PLL5_FBp/OUT2p		E17	F14													
B9	VREFB4N2	IO	PLL5_OUT0n		B17	A14													
B9	VREFB4N2	IO	PLL5_OUT0p		A17	A15													
B9	VREFB4N2	IO	PLL5_OUT1n		D17	D15													
B9	VREFB4N2	IO	PLL5_OUT1p		C17	C15													
B4	VREFB4N2	IO	CLK12n		A19	B16													
B4	VREFB4N2	IO	CLK12p		A18	A16													
B4	VREFB4N2	IO	CLK13n		D18	G15													
B4	VREFB4N2	IO	CLK13p		C18	F15													
B9		VCC_PLL5_OUT			H16	J14													
		VCCD_PLL5			H17	K16													
		VCCA_PLL5			K16	J15													
		GND_A_PLL5			J16	J16													
		GND_A_PLL5			J17	K15													
		GND_A_PLL11			J18														
		GND_A_PLL11			K18														
		VCCA_PLL11			K17														
		VCCD_PLL11			J19														
B11		VCC_PLL11_OUT			K20														
B3	VREFB3N0	IO	CLK14p		B19	A17													
B3	VREFB3N0	IO	CLK14n		C19	B17													
B3	VREFB3N0	IO	CLK15p		D19	C16													
B3	VREFB3N0	IO	CLK15n		E19	D16													
B11	VREFB3N0	IO	PLL11_OUT0p		A20														
B11	VREFB3N0	IO	PLL11_OUT0n (5)		B20	C17 (5)													
B11	VREFB3N0	IO	PLL11_OUT1p		C20														
B11	VREFB3N0	IO	PLL11_OUT1n		D20														
B3	VREFB3N0	IO			G23							DM10T							
B3	VREFB3N0	IO			M20	G17						DQ10T3				DQ12T3			
B11	VREFB3N0	IO	PLL11_FBp/OUT2p		E20														
B11	VREFB3N0	IO	PLL11_FBn/OUT2n		F20														
B3	VREFB3N0	IO		PGM2	G20	E16													
B3	VREFB3N0	IO		PGM1	H20	F16													
B3	VREFB3N0	IO		PGM0	H22	G16													
B3	VREFB3N0	IO		ASDO	N21	L16													
B3	VREFB3N0	IO		nCSO	G21	D17													
B3	VREFB3N0	IO		CRC_ERROR	G22	E17													
B3	VREFB3N0	IO		DATA0	J20	F17													
B3	VREFB3N0	IO		DATA1	J22	K17													
B3	VREFB3N0	VREFB3N0	VREFB3N0		E22	E19													
B3	VREFB3N0	IO	DQS10T		D22	D18	DQS5T					DQ10T2	DM6T	DQS10T		DQ12T2		DQS10T	
B3	VREFB3N0	IO	DQ10T		C21		DQ5T0	DQ2T1		DQ1T1	DQS10T	DQ10T0			DQS12T		DQ10T0		
B3	VREFB3N0	IO	DQ10T		A21	L17	DQ5T1	DQ2T2		DQ1T2	DQ10T1	DQ6T3	DQ10T1		DQ12T1		DQ10T1		



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	
B3	VREFB3N0	IO	DQ10T		F21		DQ5T2		DQ2T3		DQ1T3	DQ10T0		DQ10T2		DQ12T0		DQ10T2	
B3	VREFB3N0	IO	DQSn10T		D21	F18	DQSn5T		DQ2T0		DQ1T0	DM9T	DQ6T2	DQSB10T		DQ11T3	DQ7T3	DQSB10T	
B3	VREFB3N0	IO	DQ10T		F22	G18	DQ5T3		DQ2T4		DQ1T4	DQ9T3	DQS6T	DQ10T3		DQ11T2	DQ7T2	DQ10T3	
B3	VREFB3N0	IO			H23							DQ9T2				DQS11T			
B3	VREFB3N0	IO			M21							DQ59T				DQ11T1			
B3	VREFB3N0	IO	DQS11T		C22	A19	DQVLD5T	DQS2T	DQS2T			DQ9T1	DQ6T1	DQS11T	DQS11T	DQ11T0	DQS7T	DQS11T	DQS11T
B3	VREFB3N0	IO	DQ11T		A22	A18	DQ5T5	DQ2T0	DQ2T5	DQ1T1	DQ1T6	DQ9T0	DQ6T0	DQ11T0	DQ11T0	DQ10T2	DQ7T1	DQ11T0	DQ11T0
B3	VREFB3N0	IO	DQ11T		B22	C18	DQ5T6	DQ2T1	DQ2T6	DQ1T2	DQ1T7	DM8T	DM5T	DQ11T1	DQ11T1	DQ10T2	DQ7T0	DQ11T1	DQ11T1
B3	VREFB3N0	IO	DQ11T		F23	C19	DQ5T7	DQ2T2	DQ2T7	DQ1T3	DQ1T8	DQ8T3	DQ5T3	DQ11T2	DQ11T2	DQS10T	DQ6T3	DQ11T2	DQ11T2
B3	VREFB3N1	IO	DQSn11T		D23	B19	DQ5T4	DQSn2T	DQSn2T	DQ1T0	DQ1T5	DQ8T2	DQ5T2	DQSB11T	DQSB11T	DQ10T1	DQ6T2	DQSB11T	DQSB11T
B3	VREFB3N1	IO	DQ11T		E23	A20	DQ5T8	DQ2T3	DQ2T8	DQ1T4	DQ1T9	DQS8T	DQS5T	DQ11T3	DQ11T3	DQ10T0	DQS6T	DQ11T3	DQ11T3
B3	VREFB3N1	IO			G24							DQ8T1				DQ9T3			
B3	VREFB3N1	IO			M22	J18						DQ8T0	DQ5T1			DQ9T2	DQ6T1		
B3	VREFB3N1	IO	DQS12T		C23		DQS6T		DQVLD2T		DQVLD1T	DM7T		DQS12T		DQS9T		DQS12T	
B3	VREFB3N1	IO	DQ12T		B23	F19	DQ6T0		DQ2T10		DQ1T11	DQ7T3	DQ5T0	DQ12T0		DQ9T1	DQ6T0	DQ12T0	
B3	VREFB3N1	IO	DQ12T		A23		DQ6T1		DQ2T11		DQ1T12	DQ7T2		DQ12T1		DQ9T0		DQ12T1	
B3	VREFB3N1	IO	DQ12T		D24	K18	DQ6T2		DQ2T12		DQ1T13	DQS7T	DM4T	DQ12T2		DQ8T3	DQ5T3	DQ12T2	
B3	VREFB3N1	IO	DQSn12T		C24		DQSn6T		DQ2T9		DQ1T10	DQ7T1		DQSB12T		DQ8T2		DQSB12T	
B3	VREFB3N1	IO	DQ12T		F24	H19	DQ6T3		DQ2T13		DQ1T14	DQ7T0	DQ4T3	DQ12T3		DQS8T	DQ5T2	DQ12T3	
B3	VREFB3N1	IO			J23							DM6T				DQ8T1			
B3	VREFB3N1	IO			L22	K19						DQ6T3	DQ4T2			DQ8T0	DQS5T		
B3	VREFB3N1	IO	DQS13T		B25	B20	DQVLD6T	DQVLD2T		DQS1T	DQS1T	DQ6T2	DQS4T	DQS13T	DQS13T	DQ7T3	DQ5T1	DQS13T	DQS13T
B3	VREFB3N1	IO	DQ13T		A24	A21	DQ6T5	DQ2T5	DQ2T15	DQ1T5	DQ1T15	DQS6T	DQ4T1	DQ13T0	DQ13T0	DQ7T2	DQ5T0	DQ13T0	DQ13T0
B3	VREFB3N1	IO	DQ13T		A25	C21	DQ6T6	DQ2T6	DQ2T16	DQ1T6	DQ1T16	DQ6T1	DQ4T0	DQ13T1	DQ13T1	DQS7T	DQ4T3	DQ13T1	DQ13T1
B3	VREFB3N1	IO	DQ13T		F25	A22	DQ6T7	DQ2T7	DQ2T17	DQ1T7	DQ1T17	DQ6T0	DM3T	DQ13T2	DQ13T2	DQ7T1	DQ4T2	DQ13T2	DQ13T2
B3	VREFB3N1	VREFB3N1	VREFB3N1		E25	E20													
B3	VREFB3N1	IO	DQSn13T		C25	C20	DQ6T4	DQ2T4	DQ2T14	DQSn1T	DQSn1T	DM5T	DQ3T3	DQSB13T	DQSB13T	DQ7T0	DQS4T	DQSB13T	DQSB13T
B3	VREFB3N1	IO	DQ13T		D25	B22	DQ6T8	DQ2T8		DQ1T8		DQ5T3	DQ3T2	DQ13T3	DQ13T3	DQ6T3	DQ4T1	DQ13T3	DQ13T3
B3	VREFB3N1	IO			M23							DQ5T2				DQ6T2			
B3	VREFB3N1	IO			K23							DQS5T				DQS6T			
B3	VREFB3N1	IO	DQS14T		C26	D19	DQS7T					DQ5T1	DQS3T	DQS14T		DQ6T1	DQ4T0	DQS14T	
B3	VREFB3N1	IO	DQ14T		B26		DQ7T0		DQ3T1		DQ1T19	DQ5T0		DQ14T0		DQ6T0		DQ14T0	
B3	VREFB3N1	IO	DQ14T		E26	G19	DQ7T1		DQ3T2		DQ1T20	DM4T	DQ3T1	DQ14T1		DQ5T3	DQ3T3	DQ14T1	
B3	VREFB3N1	IO	DQ14T		F26		DQ7T2		DQ3T3		DQ1T21	DQ4T3		DQ14T2		DQ5T2		DQ14T2	
B3	VREFB3N1	IO	DQSn14T		D26	F20	DQSn7T		DQ3T0		DQ1T18	DQ4T2	DQ3T0	DQSB14T		DQS5T	DQ3T2	DQSB14T	
B3	VREFB3N1	IO	DQ14T		A26		DQ7T3		DQ3T4		DQ1T22	DQS4T		DQ14T3		DQ5T1		DQ14T3	
B3	VREFB3N1	IO			J24							DQ4T1				DQ5T0			
B3	VREFB3N1	IO			L23	L19						DQ4T0	DM2T			DQ4T3	DQS3T		
B3	VREFB3N1	IO	DQS15T		B28	B23	DQVLD7T	DQS3T	DQS3T	DQVLD1T		DM3T	DQ2T3	DQS15T	DQS15T	DQ4T2	DQ3T1	DQS15T	DQS15T
B3	VREFB3N1	IO	DQ15T		A27	A23	DQ7T5	DQ3T0	DQ3T5	DQ1T10	DQ1T24	DQ3T3	DQ2T2	DQ15T0	DQ15T0	DQS4T	DQ3T0	DQ15T0	DQ15T0
B3	VREFB3N1	IO	DQ15T		A28	C22	DQ7T6	DQ3T1	DQ3T6	DQ1T11	DQ1T25	DQ3T2	DQS2T	DQ15T1	DQ15T1	DQ4T1	DQ2T3	DQ15T1	DQ15T1
B3	VREFB3N1	IO	DQ15T		C27	A24	DQ7T7	DQ3T2	DQ3T7	DQ1T12	DQ1T26	DQS3T	DQ2T1	DQ15T2	DQ15T2	DQ4T0	DQ2T2	DQ15T2	DQ15T2
B3	VREFB3N2	IO	DQSn15T		C28	C23	DQ7T4	DQSn3T	DQSn3T	DQ1T9	DQ1T23	DQ3T1	DQ2T0	DQSB15T	DQSB15T	DQ3T3	DQS2T	DQSB15T	DQSB15T
B3	VREFB3N2	IO	DQ15T		D27	C24	DQ7T8	DQ3T3	DQ3T8	DQ1T13	DQ1T27	DQ3T0	DM1T	DQ15T3	DQ15T3	DQ3T2	DQ2T1	DQ15T3	DQ15T3
B3	VREFB3N2	IO			K24							DM2T				DQS3T			
B3	VREFB3N2	IO			M24	J20						DQ2T3	DQ1T3			DQ3T1	DQ2T0		
B3	VREFB3N2	IO	DQS16T		C29		DQS8T		DQVLD3T			DQ2T2		DQS16T		DQ3T0		DQS16T	
B3	VREFB3N2	IO	DQ16T		A29	G20	DQ8T0		DQ3T10		DQ1T29	DQS2T	DQ1T2	DQ16T0		DQ2T3	DQ1T3	DQ16T0	



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152
B3	VREFB3N2	IO	DQ16T		D28		DQ8T1		DQ3T11		DQ1T30	DQ2T1		DQ16T1		DQ2T2		DQ16T1	
B3	VREFB3N2	IO	DQ16T		E29	K20	DQ8T2		DQ3T12		DQ1T31	DQ2T0	DQS1T	DQ16T2		DQS2T	DQ1T2	DQ16T2	
B3	VREFB3N2	IO	DQSn16T		D29		DQSn8T		DQ3T9		DQ1T28	DM1T		DQSB16T		DQ2T1		DQSB16T	
B3	VREFB3N2	IO	DQ16T		B29	D20	DQ8T3		DQ3T13		DQ1T32	DQ1T3	DQ1T1	DQ16T3		DQ2T0	DQS1T	DQ16T3	
B3	VREFB3N2	IO			F29							DQ1T2				DQ1T3			
B3	VREFB3N2	IO			G29							DQS1T				DQ1T2			
B3	VREFB3N2	IO	DQS17T		A31	B25	DQVLD8T	DQVLD3T				DQ1T1	DQ1T0	DQS17T	DQS17T	DQS1T	DQ1T1	DQS17T	DQS17T
B3	VREFB3N2	IO	DQ17T		A30	A26	DQ8T5	DQ3T5	DQ3T15	DQ1T15	DQ1T34	DQ1T0	DM0T	DQ17T0	DQ17T0	DQ1T1	DQ1T0	DQ17T0	DQ17T0
B3	VREFB3N2	IO	DQ17T		A32	A25	DQ8T6	DQ3T6	DQ3T16	DQ1T16	DQ1T35	DM0T	DQ0T3	DQ17T1	DQ17T1	DQ1T0	DQ0T3	DQ17T1	DQ17T1
B3	VREFB3N2	IO	DQ17T		B32	C26	DQ8T7	DQ3T7	DQ3T17	DQ1T17		DQ0T3	DQ0T2	DQ17T2	DQ17T2	DQ0T3	DQ0T2	DQ17T2	DQ17T2
B3	VREFB3N2	VREFB3N2	VREFB3N2		E28	E22													
B3	VREFB3N2	IO	DQSn17T		B31	C25	DQ8T4	DQ3T4	DQ3T14	DQ1T14	DQ1T33	DQ0T2	DQS0T	DQSB17T	DQSB17T	DQ0T2	DQS0T	DQSB17T	DQSB17T
B3	VREFB3N2	IO	DQ17T		C30	B26	DQ8T8	DQ3T8				DQS0T	DQ0T1	DQ17T3	DQ17T3	DQS0T	DQ0T1	DQ17T3	DQ17T3
B3	VREFB3N2	IO			H28							DQ0T1				DQ0T1			
B3	VREFB3N2	IO			J27	L20						DQ0T0	DQ0T0			DQ0T0	DQ0T0		
B3	VREFB3N2	IO		DATA2	G25	F21													
B3	VREFB3N2	IO		DATA3	F27	D21													
B3	VREFB3N2	IO		DATA4	H25	G21													
B3	VREFB3N2	IO		DATA5	G27	D23													
B3	VREFB3N2	IO		DATA6	G26	F22													
B3	VREFB3N2	IO		DATA7	H26	D22													
B3	VREFB3N2	IO		RDYnBSY	F28	J21													
B3	VREFB3N2	IO		INIT_DONE	G28	G22													
B3	VREFB3N2	nSTATUS		nSTATUS	C31	E23													
B3	VREFB3N2	nCE		nCE	D30	D24													
B3	VREFB3N2	DCLK		DCLK	C32	D25													
B3	VREFB3N2	CONF_DONE		CONF_DONE	D31	D26													
		VCCIO2			P25	J22													
		VCCIO2			P26	L22													
		VCCIO2			U25	N21													
		VCCIO2			U26														
		VCCIO1			AC25	U22													
		VCCIO1			AC26	V21													
		VCCIO1			Y25	Y22													
		VCCIO1			Y26														
		VCCIO8			AE19	AA16													
		VCCIO8			AE21	Y18													
		VCCIO8			AF21	Y19													
		VCCIO8			AG19														
		VCCIO7			AE12	AA10													
		VCCIO7			AE15	AA13													
		VCCIO7			AF12	Y9													
		VCCIO7			AF15														
		VCCT_B15			AA10														
		VCCT_B15			Y10														
		VCCH_B15			AA11														
		VCCH_B15			Y11														
		VCCR			AA9														



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		VCCR			Y9														
		VCCA			Y8														
		VCCT_B14			T10	R8													
		VCCT_B14			U10	T8													
		VCCH_B14			T11	R9													
		VCCH_B14			U11	T9													
		VCCR			T9	R7													
		VCCR			U9	T7													
		VCCA			T8	R6													
		VCCT_B13			M10	L8													
		VCCT_B13			N10	M8													
		VCCH_B13			M11	L9													
		VCCH_B13			N11	M9													
		VCCR			M9	L7													
		VCCR			N9	M7													
		VCCA			M8	L6													
		VCCP			AA12														
		VCCP			Y12														
		VCCP			T12	R10													
		VCCP			U12	T10													
		VCCP			M12	L10													
		VCCP			N12	M10													
		VCCIO4			J12	H14													
		VCCIO4			J15	J9													
		VCCIO4			K12	J12													
		VCCIO4			K15														
		VCCIO3			H19	H17													
		VCCIO3			J21	H20													
		VCCIO3			K19	J19													
		VCCIO3			K21														
		VCCINT			AA13	M11													
		VCCINT			AA15	M13													
		VCCINT			AA17	M15													
		VCCINT			AA19	M17													
		VCCINT			AA21	N12													
		VCCINT			P14	N14													
		VCCINT			P16	N16													
		VCCINT			P18	N18													
		VCCINT			P20	P11													
		VCCINT			R13	P13													
		VCCINT			R15	P15													
		VCCINT			R17	P17													
		VCCINT			R19	R12													
		VCCINT			R21	R14													
		VCCINT			T14	R16													
		VCCINT			T16	R18													
		VCCINT			T18	T11													
		VCCINT			T20	T13													





Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		VCCINT			T22	T15													
		VCCINT			U13	T17													
		VCCINT			U15	U12													
		VCCINT			U17	U14													
		VCCINT			U19	U16													
		VCCINT			U21	U18													
		VCCINT			V14														
		VCCINT			V16														
		VCCINT			V18														
		VCCINT			V20														
		VCCINT			W13														
		VCCINT			W15														
		VCCINT			W17														
		VCCINT			W19														
		VCCINT			W21														
		VCCINT			Y14														
		VCCINT			Y16														
		VCCINT			Y18														
		VCCINT			Y20														
		VCCINT			Y22														
		GND			A33	AA21													
		GND			AA14	AA24													
		GND			AA16	AA27													
		GND			AA18	AD24													
		GND			AA20	AD27													
		GND			AA22	AG27													
		GND			AA24	AG28													
		GND			AA27	B28													
		GND			AA30	E27													
		GND			AA33	H21													
		GND			AB13	H24													
		GND			AB14	H27													
		GND			AB15	L21													
		GND			AB19	L24													
		GND			AC12	L27													
		GND			AD7	M19													
		GND			AD8	N24													
		GND			AD9	N27													
		GND			AD10	P21													
		GND			AD11	R24													
		GND			AD12	R27													
		GND			AD15	U21													
		GND			AD18	V24													
		GND			AD21	V27													
		GND			AD24	W20													
		GND			AD27	W22													
		GND			AD30	Y20													
		GND			AD33														



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		GND			AG7														
		GND			AG9														
		GND			AG12														
		GND			AG15														
		GND			AG17														
		GND			AG18														
		GND			AG21														
		GND			AG24														
		GND			AG27														
		GND			AG30														
		GND			Y21														
		GND			AG33	W8													
		GND			AK7	W7													
		GND			AK9	V18													
		GND			AK12	V15													
		GND			AK15	V12													
		GND			AK18	V10													
		GND			AK21	AH27													
		GND			AK24	AG9													
		GND			AK27	AG7													
		GND			AK30	AG24													
		GND			AK33	AG21													
		GND			AN7	AG18													
		GND			AN9	AG15													
		GND			AN12	AG12													
		GND			AN15	AD9													
		GND			AN18	AD7													
		GND			AN21	AD21													
		GND			AN24	AD18													
		GND			AN27	AD15													
		GND			AN30	AD12													
		GND			AN33	AA9													
		GND			AN34	AA7													
		GND			AP33	AA20													
		GND			B7	AA18													
		GND			B9	AA15													
		GND			B12	AA12													
		GND			B15														
		GND			B18														
		GND			B21														
		GND			B24														
		GND			B27														
		GND			B30														
		GND			B33														
		GND			B34														
		GND			E7														
		GND			E9														
		GND			E12														



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		GND			E15														
		GND			A2	A2													
		GND			A3	A3													
		GND			A6	A4													
		GND			AA1	A5													
		GND			AA2	A6													
		GND			AA3	AA1													
		GND			AA4	AA2													
		GND			AA5	AA3													
		GND			AA6	AA4													
		GND			AA7	AA5													
		GND			AB3	AA6													
		GND			AB6	AB3													
		GND			AB7	AB6													
		GND			AB9	AC1													
		GND			AB10	AC2													
		GND			AB11	AC3													
		GND			AB12	AC4													
		GND			AC1	AC5													
		GND			AC2	AC6													
		GND			AC3	AD3													
		GND			AC4	AD6													
		GND			AC5	AE1													
		GND			AC6	AE2													
		GND			AC7	AE3													
		GND			AC8	AE4													
		GND			AD3	AE5													
		GND			AD6	AE6													
		GND			AE1	AF1													
		GND			AE2	AF2													
		GND			AE3	AF3													
		GND			AE4	AF6													
		GND			AE5	AG1													
		GND			AE6	AG2													
		GND			AF3	AG3													
		GND			AF6	AG4													
		GND			AG1	AG5													
		GND			AG2	AG6													
		GND			AG3	AH2													
		GND			AG4	AH3													
		GND			AG5	AH4													
		GND			AG6	AH5													
		GND			AH3	AH6													
		GND			AH5	B1													
		GND			AH6	B2													
		GND			AJ1	B3													
		GND			AJ2	B4													
		GND			AJ3	B5													



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		GND			AJ4	B6													
		GND			AJ5	C1													
		GND			AJ6	C2													
		GND			AK3	C3													
		GND			AK6	C6													
		GND			AL1	D1													
		GND			AL2	D2													
		GND			AL3	D3													
		GND			AL4	D4													
		GND			AL5	D5													
		GND			AL6	D6													
		GND			AM3	E3													
		GND			AM6	E6													
		GND			AN1	F1													
		GND			AN2	F2													
		GND			AN3	F3													
		GND			AN4	F4													
		GND			AN5	F5													
		GND			AN6	F6													
		GND			AP2	G3													
		GND			AP3	G6													
		GND			AP6	H1													
		GND			B1	H2													
		GND			B2	H3													
		GND			B3	H4													
		GND			B4	H5													
		GND			B5	H6													
		GND			B6	J3													
		GND			C3	J5													
		GND			C6	J6													
		GND			D1	K1													
		GND			D2	K2													
		GND			D3	K3													
		GND			D4	K4													
		GND			D5	K5													
		GND			D6	K6													
		GND			E3	L3													
		GND			E6	M1													
		GND			F1	M2													
		GND			F2	M3													
		GND			F3	M4													
		GND			F4	M5													
		GND			F5	N3													
		GND			F6	N7													
		GND			G3	N8													
		GND			G5	N9													
		GND			G6	N10													
		GND			H1	P1													



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		GND			H2	P2													
		GND			H3	P3													
		GND			H4	P4													
		GND			H5	P5													
		GND			H6	P6													
		GND			J3	R1													
		GND			J6	R2													
		GND			K1	R3													
		GND			K2	R4													
		GND			K3	R5													
		GND			K4	T3													
		GND			K5	U1													
		GND			K6	U2													
		GND			L3	U3													
		GND			L6	U4													
		GND			M1	U5													
		GND			M2	U7													
		GND			M3	U8													
		GND			M4	U9													
		GND			M5	U10													
		GND			M6	V3													
		GND			M7	V6													
		GND			N3	W1													
		GND			N6	W2													
		GND			N7	W3													
		GND			P1	W4													
		GND			P2	W5													
		GND			P3	W6													
		GND			P4	Y3													
		GND			P5	Y5													
		GND			P6	Y6													
		GND			P7														
		GND			P9														
		GND			P10														
		GND			P11														
		GND			P12														
		GND			R3														
		GND			R6														
		GND			R7														
		GND			R8														
		GND			T1														
		GND			T2														
		GND			T3														
		GND			T4														
		GND			T5														
		GND			T6														
		GND			T7														
		GND			U1														



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		GND			U2														
		GND			U3														
		GND			U4														
		GND			U5														
		GND			V3														
		GND			V5														
		GND			V6														
		GND			V7														
		GND			V9														
		GND			V10														
		GND			V11														
		GND			V12														
		GND			W1														
		GND			W2														
		GND			W3														
		GND			W4														
		GND			W5														
		GND			W6														
		GND			Y3														
		GND			Y6														
		GND			Y7														
		GND			E18	A27													
		GND			E21	B12													
		GND			E24	B15													
		GND			E27	B18													
		GND			E30	B21													
		GND			E33	B24													
		GND			G17	B27													
		GND			H7	B7													
		GND			H9	B9													
		GND			H12	E12													
		GND			H15	E15													
		GND			H18	E18													
		GND			H21	E21													
		GND			H24	E24													
		GND			H27	E7													
		GND			H30	E9													
		GND			H33	H12													
		GND			K7	H15													
		GND			K8	H16													
		GND			K9	H18													
		GND			L10	H7													
		GND			L11	H9													
		GND			L12	J7													
		GND			L15	L11													
		GND			L18	L15													
		GND			L21	L18													
		GND			L24														



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780		DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152
		GND			L27														
		GND			L30														
		GND			L33														
		GND			N13														
		GND			N14														
		GND			N15														
		GND			N16														
		GND			N20														
		GND			P13														
		GND			P15														
		GND			P17														
		GND			P19	M12													
		GND			P21	M14													
		GND			P22	M16													
		GND			P24	M18													
		GND			P27	N11													
		GND			P30	N13													
		GND			P33	N15													
		GND			R12	N17													
		GND			R14	N19													
		GND			R16	P10													
		GND			R18	P12													
		GND			R20	P14													
		GND			R22	P16													
		GND			T13	P18													
		GND			T15	P19													
		GND			T17	R11													
		GND			T19	R13													
		GND			T21	R15													
		GND			T24	R17													
		GND			T27	R19													
		GND			T30	T12													
		GND			T33	T14													
		GND			U14	T16													
		GND			U16	T18													
		GND			U18	U11													
		GND			U20	U13													
		GND			U22	U15													
		GND			V13	U17													
		GND			V15														
		GND			V17														
		GND			V19														
		GND			V21														
		GND			V22														
		GND			V24														
		GND			V27														
		GND			V30														
		GND			V33														



Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780
		GND			W14														
		GND			W16														
		GND			W18														
		GND			W20														
		GND			W22														
		GND			Y13														
		GND			Y15														
		GND			Y17														
		GND			Y19														
		VCCPD2			R24	P20													
		VCCPD2			R25														
		VCCPD1			W24	T20													
		VCCPD1			W25														
		VCCPD8			AD19	Y16													
		VCCPD8			AD20														
		VCCPD7			AD16	Y12													
		VCCPD7			AD17														
		VCCPD4			L16	J13													
		VCCPD4			L17														
		VCCPD3			L19	J17													
		VCCPD3			L20														
		VCCA			W12 (4)														
		NC			AB16														
		NC			AB17														
		NC			AB22														
		NC			AC17														
		NC			AJ29														
		NC			AJ30														
		NC			AK31														
		NC			AK32														
		NC			AK34														
		NC			AL32														
		NC			AL33														
		NC			AL34														
		NC			D32														
		NC			D33														
		NC			E31														
		NC			E32														
		NC			F30														
		NC			G30														
		NC			G31														
		NC			H29														
		NC			K22														
		NC			M13														
		NC			N19														
		NC			N22														
		NC			W7														
		NC			W8														





Bank Number	VREF Group	Pin Name/Function	Optional Function(s)	Configuration Function	F1152	F780	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 1)				x4 Mode (Note 2)			
							DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for DQS mode F780	DQ group for DQS mode F1152	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780	DQ group for non-DQS mode (non-migratable) F1152	DQ group for non-DQS mode (non-migratable) F780	DQ group for non-DQS mode (migratable) F1152	DQ group for non-DQS mode (migratable) F780

Notes:

- (1) This mode is used for x4 DDR2 SDRAM (with DM support) devices and x9 RDRAM II devices.
- (2) This mode is used for DDR/DDR2 SDRAM, RDRAM II, and QDR II SRAM interfaces, except for x9 RDRAM II devices. This mode can support x4 DDR2 SDRAM devices if the DM pins are not used.
- (3) The EP2SGX60C device does not provide the following signals on bank 14: REFCLK[0:1]\_B14p/n, GXB\_RX[4:7]p/n, GXB\_TX[4:7]p/n.
- (4) Previous designs using the F1152 packages that assign L9 or W12 as NCs do not require any modification to the board.  
Assigning VCCA to L9 and W12 is required for future designs with the need for vertical migration between the EP2SGX60EF1152 and EP2SGX90EF1152 devices.
- (5) The EP2SGX60CF780 and EP2SGX60DF780 have only 4 PLLs. The following pins are only I/O pins and should not be construed as PLL pins. For these devices, the power source (ONLY) is as indicated below.
  - a. PLL11\_OUTn (C17 on the F780) - uses bank 3 power supply, VCCIO3.
  - b. PLL12\_FBN/OUT2n (AE16 on the F780) - uses bank 8 power supply, VCCIO8.
  - c. PLL12\_OUT0p (AF16 on the F780) - uses bank 8 power supply, VCCIO8.



**Pin Information for the Stratix® II GX EP2SGX60 Device  
Version 1.3**

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
<b>Supply and Reference Pins</b>		
VCCINT	Power	1.2-V internal logic array voltage supply pins. VCCINT also supplies power to the column dedicated clock input pins for the LVDS, LVPECL, HSTL, SSTL, differential HSTL, and differential SSTL I/O standards.
VCCIO[1..4,7,8]	Power	I/O supply voltage pins for banks 1-4, 7, and 8. Each bank can support a different voltage level. VCCIO supplies power to the output buffers for all I/O standards. VCCIO also supplies power to the input buffers used for row differential standards as well as all single-ended I/O standards with the exception of HSTL and SSTL on column dedicated clock input pins that are powered by VCCINT.
VCCPD[1..4,7,8]	Power	Dedicated power pins. This 3.3-V supply is used to power the I/O pre-drivers and the 3.3-V/2.5-V buffers of the configuration input pins and JTAG pins. VCCPD powers the JTAG pins (TCK, TMS, TDI, and TRST) and the following configuration pins: nCONFIG, DCLK (when used as an input), nIO_Pullup, DATA[7..0], RUNLU, nCE, nWS, nRS, CS, nCS, and CLKUSR. The VCCPD pins must be connected to 3.3 V and must ramp up from 0 V to 3.3 V within 100 ms to ensure successful configuration. If you use the AES key programming feature of the device, VCCPD8 powers the circuitry enabling the key to be programmed in non-volatile memory. During key programming, apply 3.7 V to VCCPD8. For further information, refer to AN341: Using the Design Security Feature in Stratix II and Stratix II GX Devices.
GND	Ground	Device ground pins.
VREFB[1..4,7,8]N[4..0] (Note 8)	Input	Input reference voltage for each I/O bank. If a bank is used for a voltage-referenced I/O standard, then these pins are used as the voltage-referenced pins for that bank. All the VREF pins within a bank are shorted together. If VREF pins are not used, you should connect them to either VCC or GND.
VCC_PLL5_OUT	Power	External clock output VCCIO power for PLL5 clock outputs PLL5_OUT[1..0]p, PLL5_OUT[1..0]n, PLL5_FBp/OUT2p, and PLL5_FBN/OUT2n. This pin should be connected to the voltage level of the target device that PLL5 in bank 9 is driving. Refer to the data sheet for absolute maximum voltage rating on this pin.
VCC_PLL6_OUT	Power	External clock output VCCIO power for PLL6 clock outputs PLL6_OUT[1..0]p, PLL6_OUT[1..0]n, PLL6_FBp/OUT2p, and PLL6_FBN/OUT2n. This pin should be connected to the voltage level of the target device that PLL6 in bank 10 is driving. Refer to the data sheet for absolute maximum voltage rating on this pin.
VCC_PLL11_OUT (Note 6)	Power	External clock output VCCIO power for PLL11 clock outputs PLL11_OUT[1..0]p, PLL11_OUT[1..0]n, PLL11_FBp/OUT2p, and PLL11_FBN/OUT2n. This pin should be connected to the voltage level of the target device that PLL11 in bank 11 is driving. Refer to the data sheet for absolute maximum voltage rating on this pin.
VCC_PLL12_OUT (Note 6)	Power	External clock output VCCIO power for PLL12 clock outputs PLL12_OUT[1..0]p, PLL12_OUT[1..0]n, PLL12_FBp/OUT2p, and PLL12_FBN/OUT2n. This pin should be connected to the voltage level of the target device that PLL12 in bank 12 is driving. Refer to the data sheet for absolute maximum voltage rating on this pin.
VCCA_PLL[1,2,5..8,11,12] (Note 4)	Power	1.2-V analog power for PLL[1,2,5..8,11,12].
VCCD_PLL[1,2,5..8,11,12] (Note 4)	Power	1.2-V digital power for PLL[1,2,5..8,11,12].
GND_A_PLL[1,2,5..8,11,12] (Note 4)	Ground	Analog ground for PLL[1,2,5..8,11,12].
NC	No Connect	Do not drive any signals into this pin.
RUP4	I/O, Input	Reference pin for banks 3 and 4. The external precision resistor Rup must be connected to the designated RUP pin within bank 4. If not required, this pin is a regular I/O pin.
RDN4	I/O, Input	Reference pin for banks 3 and 4. The external precision resistor Rdn must be connected to the designated RDN pin within bank 4. If not required, this pin is a regular I/O pin.
RUP7	I/O, Input	Reference pin for banks 7 and 8. The external precision resistor Rup must be connected to the designated RUP pin within bank 7. If not required, this pin is a regular I/O pin.



**Pin Information for the Stratix® II GX EP2SGX60 Device  
Version 1.3**

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
RDN7	I/O, Input	Reference pin for banks 7 and 8. The external precision resistor Rdn must be connected to the designated RDN pin within bank 7. If not required, this pin is a regular I/O pin.
<b>Dedicated Configuration/JTAG Pins</b>		
nIO_PULLUP	Input	Dedicated input that chooses whether the internal pull-ups on the user I/O pins and dual-purpose I/O pins (nCSO, ASDO, DATA[7..0], nWS, nRS, RDYnBSY, nCS, CS, RUnLU, PGM[], CLKUSR, INIT_DONE, DEV_OE, DEV_CLRn) are on or off before and during configuration. A logic high (1.5 V, 1.8 V, 2.5 V, or 3.3 V) turns off the weak pull-up, while a logic low turns it on.
VCCSEL	Input	Dedicated input that selects which input buffer is used on configuration input pins: nCONFIG, DCLK (when used as an input), DATA[7..0], RUnLU, nCE, nWS, nRS, CS, nCS, and CLKUSR. The 3.3-V/2.5-V input buffer is powered by VCCPD, while the 1.8-V/1.5-V input buffer is powered by VCCIO. A logic high (VCCPD) selects the 1.8-V/1.5-V input buffer, while a logic low selects the 3.3-V/2.5-V input buffer. VCCSEL should be set to comply with the logic levels driven out of the configuration device or MAX II device/microprocessor with flash memory.
TEMPDIODEp	Input	Pin used in conjunction with the temperature-sensing diode (bias-high input) inside the Stratix II GX device. If the temperature sensing diode is not used, then connect this pin to GND.
TEMPDIODEn	Input	Pin used in conjunction with the temperature-sensing diode (bias-low input) inside the Stratix II GX device. If the temperature-sensing diode is not used, then connect this pin to GND.
DCLK	Input (PS, FPP) Output (AS)	Dedicated configuration clock pin. In PS and FPP configuration, DCLK is used to clock configuration data from an external source into the Stratix II GX device. In AS mode, DCLK is an output from the Stratix II GX device that provides timing for the configuration interface.
MSEL[3..0]	Input	Configuration input pins that set the Stratix II GX device configuration scheme.
nCE	Input	Dedicated active-low chip enable. When nCE is low, the device is enabled. When nCE is high, the device is disabled.
nCONFIG	Input	Dedicated configuration control input. Pulling this pin low during user mode will cause the FPGA to lose its configuration data, enter a reset state, and tri-state all I/O pins. Returning this pin to a logic-high level initiates reconfiguration.
CONF_DONE	Bidirectional (open-drain)	This is a dedicated configuration Done pin. As a status output, the CONF_DONE pin drives low before and during configuration. Once all configuration data is received without error and the initialization cycle starts, CONF_DONE is released. As a status input, CONF_DONE goes high after all data is received. Then the device initializes and enters user mode. It is not available as a user I/O pin.
nCEO	Output	Output that drives low when device configuration is complete.
nSTATUS	Bidirectional (open-drain)	This is a dedicated configuration status pin. The FPGA drives nSTATUS low immediately after power-up and releases it after POR time. As a status output, the nSTATUS is pulled low if an error occurs during configuration. As a status input, the device enters an error state when nSTATUS is driven low by an external source during configuration or initialization. It is not available as a user I/O pin.
PORSEL	Input	Dedicated input which selects between a POR time of 12 ms or 100 ms. A logic high (1.5 V, 1.8 V, 2.5 V, 3.3 V) selects a POR time of about 12 ms and a logic low selects POR time of about 100 ms.
<b>Optional/Dual-Purpose Configuration Pins</b>		
nCSO	I/O Output	Output control signal from the Stratix II GX FPGA to the serial configuration device in AS mode that enables the configuration device.
ASDO	I/O Output	Control signal from the Stratix II GX FPGA to the serial configuration device in AS mode used to read out configuration data.
CRC_ERROR	I/O, Output	Active-high signal that indicates that the error-detection circuit has detected errors in the configuration SRAM bits. This pin is optional and is used when the CRC error-detection circuit is enabled.



## Pin Information for the Stratix® II GX EP2SGX60 Device Version 1.3

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
DEV_CLRn	I/O, Input	Optional pin that allows you to override all clears on all device registers. When this pin is driven low, all registers are cleared; when this pin is driven high, all registers behave as programmed.
DEV_OE	I/O, Input	Optional pin that allows you to override all tri-states on the device. When this pin is driven low, all I/O pins are tri-stated; when this pin is driven high, all I/O pins behave as defined in the design.
DATA0	I/O, Input	Dual-purpose configuration data input pin. The DATA0 pin can be used for bit-wide configuration or as an I/O pin after configuration is complete.
DATA[6..1]	I/O, Input	Dual-purpose configuration input data pins. The DATA[7..0] pins can be used for byte-wide configuration or as regular I/O pins. These pins can also be used as user I/O pins after configuration.
DATA7	I/O, Bidirectional	In the PPA configuration scheme, the DATA7 pin presents the RDYnBSY signal after the nRS signal is strobed low.
INIT_DONE	I/O, Output (open-drain)	This is a dual-purpose pin and can be used as an I/O pin when not enabled as INIT_DONE. When enabled, a transition from low to high at the pin indicates when the device has entered user mode. If the INIT_DONE output is enabled, the INIT_DONE pin cannot be used as a user I/O pin after configuration.
nCS, CS	I/O, Input	These are chip-select inputs that enable the Stratix II GX device in the passive parallel asynchronous configuration mode. Drive nCS low and CS high to target a device for configuration. If a design requires an active-high enable, use the CS pin and drive the nCS pin low. If a design requires an active-low enable, use the nCS pin and drive the CS pin high. Configuration will be paused when either signal is inactive. Hold the nCS and CS pins active during configuration and initialization. The design can use these pins as user I/O pins after configuration.
nRS	I/O, Input	Read strobe input pin. A low input directs the device to drive the RDYnBSY signal on the DATA7 pin. In non-PPA schemes, it functions as a user I/O during configuration, which means it is tri-stated. This pin can be used as a user I/O pin after configuration.
nWS	I/O, Input	Active-low write strobe input to latch a byte of data on the DATA pins. This pin can be used as a user I/O pin after configuration.
CLKUSR	I/O, Input	Optional user-supplied clock input. Synchronizes the initialization of one or more devices. If this pin is not enabled for use as a user-supplied configuration clock, it can be used as a user I/O pin.
RDYnBSY	I/O, Output	Ready not busy output. A high output indicates that the target device is ready to accept another data byte. A low output indicates that the target device is not ready to receive another data byte. This pin can be used as a user I/O pin after configuration.
PGM[2..0]	I/O, Output	These output pins control one of eight pages in the memory (either flash or enhanced configuration device) when using a remote system update mode. When not using remote update or local update configuration modes, these pins are user I/O pins.
RUnLU	I/O, Input	Input that selects between remote update and local update. A logic high (1.5 V, 1.8 V, 2.5 V, 3.3 V) selects remote update and a logic low selects local update. When not using remote update or local update configuration modes, this pin is available as general-purpose user I/O pin.
TCK	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TCK to GND.
TMS	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TMS to VCC.
TDI	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TDI to VCC.
TDO	Output	Dedicated JTAG output pin.
TRST	Input	Dedicated active-low JTAG input pin. TRST is used to asynchronously reset the JTAG boundary-scan circuit.
<b>Clock and PLL Pins</b>		
CLK[1,3]p	Clock, Input	Dedicated clock input pins 1 and 3 that can also be used for data inputs.
CLK[1,3]n	Clock, Input	Dedicated negative clock input pins for differential clock input that can also be used for data inputs.



Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
CLK[2,0]p/DIFFIO_RX_C[1,0]p (Note 5)	I/O, Clock	These pins can be used as I/O pins, clock input pins, or positive terminal data pins of differential receiver channels.
CLK[2,0]n/DIFFIO_RX_C[1,0]n (Note 5)	I/O, Clock	These pins can be used as I/O pins, negative clock input pins for differential clock input, or negative data pins of differential receiver channels.
CLK[4-7,12-15]p	I/O, Clock	These pins can be used as I/O pins or clock input pins.
CLK[4-7,12-15]n	I/O, Clock	These pins can be used as I/O pins or negative clock input pins for differential clock inputs.
PLL_ENA	Input	Dedicated input pin that drives the optional pllena port of all or a set of PLLs.
FPLL[8..7]CLKp (Note 6)	Clock, Input	Dedicated positive clock inputs for fast PLLs (PLLs 7 and 8) which can also be used for data inputs.
FPLL[8..7]CLKn (Note 6)	Clock, Input	Dedicated negative clock inputs associated with the FPLL[7,8]CLKp pins which can also be used for data inputs.
PLL5_OUT[1,0]p	Output	Optional positive external clock outputs [1,0] from enhanced PLL 5. These pins can be differential (two output pin pairs) or single-ended (four clock outputs from PLL5).
PLL5_OUT[1,0]n	Output	Optional negative external clock outputs [1,0] from enhanced PLL5. If the clock outputs are single-ended, then each pair of pins (i.e., PLL5_OUT0p and PLL5_OUT0n are considered one pair) can be either in-phase or 180° out-of-phase.
PLL6_OUT[1,0]p	Output	Optional positive external clock outputs [1,0] from enhanced PLL 6. These pins can be differential (two output pin pairs) or single-ended (four clock outputs from PLL6).
PLL6_OUT[1,0]n	Output	Optional negative external clock outputs [1,0] from enhanced PLL6. If the clock outputs are single-ended, then each pair of pins (i.e., PLL6_OUT0p and PLL6_OUT0n are considered one pair) can be either in-phase or 180° out-of-phase.
PLL11_OUT[1,0]p (Note 6)	Output	Optional positive external clock outputs [1,0] from enhanced PLL 11. These pins can be differential (two output pin pairs) or single-ended (four clock outputs from PLL11).
PLL11_OUT[1,0]n (Note 6)	Output	Optional negative external clock outputs [1,0] from enhanced PLL11. If the clock outputs are single-ended, then each pair of pins (i.e., PLL11_OUT0p and PLL11_OUT0n are considered one pair) can be either in-phase or 180° out-of-phase.
PLL12_OUT[1,0]p (Note 6)	Output	Optional positive external clock outputs [1,0] from enhanced PLL 12. These pins can be differential (two output pin pairs) or single-ended (four clock outputs from PLL12).
PLL12_OUT[1,0]n (Note 6)	Output	Optional negative external clock outputs [1,0] from enhanced PLL12. If the clock outputs are single-ended, then each pair of pins (i.e., PLL12_OUT0p and PLL12_OUT0n are considered one pair) can be either in-phase or 180° out-of-phase.
PLL[6..5]_FBp/OUT2p	I/O, Input, Output	These pins can be used as I/O pins, positive external feedback input pins, or external clock outputs for PLL[6,5].
PLL[6..5]_FBn/OUT2n	I/O, Input, Output	These pins can be used as I/O pins, negative external feedback input PLL[6,5]_FBp, or negative terminal clock output pins for differential clock output.
PLL[12..11]_FBp/OUT2p (Note 6)	I/O, Input, Output	These pins can be used as I/O pins, positive external feedback input pins, or positive external clock outputs for PLL[12..11].
PLL[12..11]_FBn/OUT2n (Note 6)	I/O, Input, Output	These pins can be used as I/O pins, negative external feedback input PLL[12..11]_FBp, or negative external clock output pins for differential clock output.
<b>Dual-Purpose Differential &amp; External Memory Interface Pins</b>		
DIFFIO_RX[76..1]p (Note 5)	IO, Input	Dual-purpose differential receiver channels. These channels can be used for receiving LVDS-compatible signals. Pins with a "p" suffix carry the positive signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.



Pin Information for the Stratix® II GX EP2SGX60 Device  
Version 1.3

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
DIFFIO_RX[76..1]n (Note 5)	IO, Input	Dual-purpose differential receiver channels. These channels can be used for receiving LVDS-compatible signals. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFIO_TX[77..0]p (Note 5)	IO, Output	Dual-purpose differential transmitter channels. These channels can be used for transmitting LVDS-compatible signals. Pins with a "p" suffix carry the positive signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFIO_TX[77..0]n (Note 5)	IO, Output	Dual-purpose differential transmitter channels. These channels can be used for transmitting LVDS-compatible signals. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DQS[17..0][T,B] (Note 7)	DQS	Optional data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase-shift circuitry. The shifted DQS signal can also drive to internal logic.
DQSn[17..0][T,B]	DQSn	Optional complementary data strobe signal for use in QDR II SRAM. These pins drive to dedicated DQS phase-shift circuitry.
DQ[17..0][T,B][3..0] (Note 7)	DQ	Optional data signal for use in external memory interfacing. The order of the DQ bits within a designated DQ bus is not important; however, use caution when making pin assignments if you plan on migrating to a different memory interface that has a different DQ bus width. Analyze the available DQ pins across all pertinent DQS columns in the pin list.
DQVLD[8..0][T,B]	DQVLD	Optional data valid signal for use in external memory interfacing.
<b>Transceiver (I/O Banks) Pins</b>		
VCCP	Power	GX bank [17..13] PCS power. This power is connected to 1.2 V.
VCCR	Power	GX bank [17..13] receiver analog power. This power is connected to 1.2 V.
VCCT_B[17..13] (Note 3)	Power	GX bank [17..13] transmitter analog power. This power is connected to 1.2 V.
VCCA	Power	GX bank [17..13] analog power. This power is connected to 3.3 V.
VCCH_B[17..13] (Note 3)	Power	GX bank [17..13] transmitter driver analog power. This power is connected to 1.2 V or 1.5 V.
VCCL_B[17..13] (Note 3)	Power	GX bank [17..13] VCO analog power. This power is connected to 1.2 V.
GXB_RX[19..0]p (Note 2)	I, Input	High-speed positive differential receiver channels.
GXB_RX[19..0]n (Note 2)	I, Input	High-speed negative differential receiver channels.
GXB_TX[19..0]p (Note 2)	O, Output	High-speed positive differential transmitter channel.
GXB_TX[19..0]n (Note 2)	O, Output	High-speed negative differential transmitter channels.
REFCLK[0,1]_B[17..13]p (Note 3)	I, Input	High-speed differential I/O reference clock positive. This pin is powered by 1.2-V VCCT_B[17..13].
REFCLK[0,1]_B[17..13]n (Note 3)	I, Input	High-speed differential I/O reference clock negative. This pin is powered by 1.2-V VCCT_B[17..13].
RREFB[17..13] (Note 3)	I, Input	Reference resistor for GX side banks.

**Notes:**

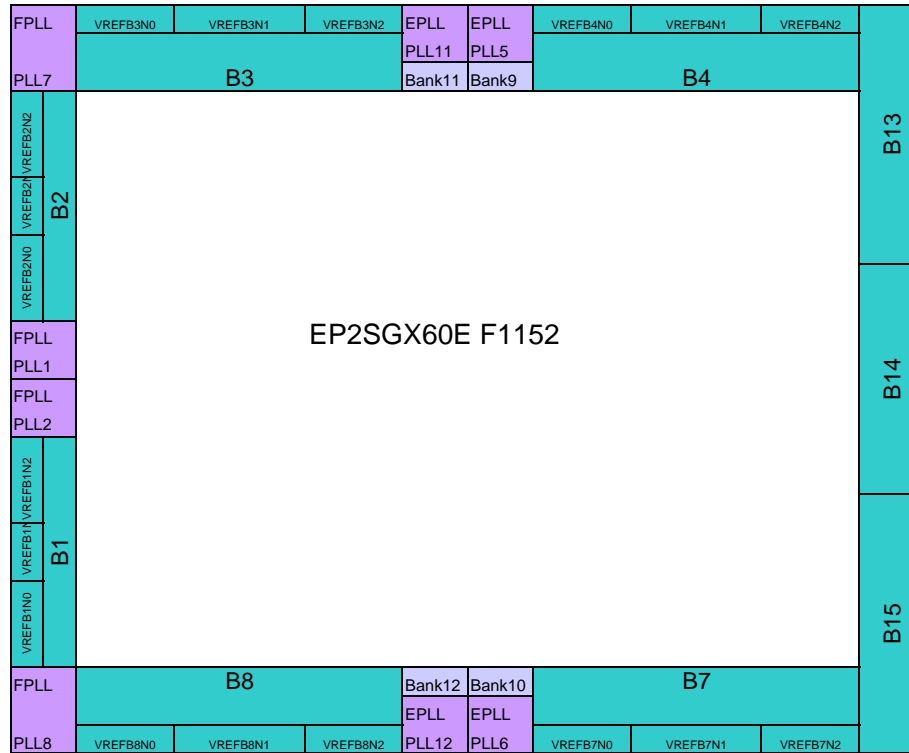
- 1) These descriptions are created based on the Stratix II GX130 device, EP2SGX130GF1508.
- 2) Transceiver signals GXB\_RX[19..0] and GXB\_TX[19..0] are device specific.  
 EP2SGX30C and EP2SGX60C each contains 4 transceivers: GXB\_RX[3..0], and GXB\_TX[3..0].  
 EP2SGX30D and EP2SGX60D each contains 8 transceivers: GXB\_RX[7..0], and GXB\_TX[7..0].  
 EP2SGX60E and EP2SGX90E each contains 12 transceivers: GXB\_RX[11..0], and GXB\_TX[11..0].  
 EP2SGX90F contains 16 transceivers: GXB\_RX[15..0], and GXB\_TX[15..0].  
 EP2SGX130G contains 20 transceivers: GXB\_RX[19..0], and GXB\_TX[19..0].

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
----------	-------------------------------------	-----------------

- 3) Pins VCCT\_B[17..13], VCCH\_B[17..13], REFCLK[0,1]\_B[17..13], RREFB[17..13], and VCCL[17..13] refer to the bank number of the transceiver.  
 EP2SGX30C and EP2SGX60C each consists of 4 transceivers in Bank 13.  
 EP2SGX30D and EP2SGX60D each consists of 8 transceivers in Banks 13 to 14.  
 EP2SGX60E and EP2SGX90E each consists of 12 transceivers in Banks 13 to 15.  
 EP2SGX90F consists of 16 transceivers in Banks 13 to 16.  
 EP2SGX130G consists of 20 transceivers in Banks 13 to 17.
- 4) EP2SGX30 and EP2SGX 60C/D have only PLL(1, 2, 5, and 6). EP2SGX60E, EP2SGX90, and EP2SGX130 have PLL(1,2, 5, 6, 7, 8, 11, and 12).
- 5) The differential TX/RX count for each device and package is different.  
 EP2SGX30, EP2SGX60C, and EP2SGX60D each consists of 29 transmit and 29 receive differential I/O, and 2 clock/receive differential I/O pins, (CLK[2,0]/DIFFIO\_RX\_C[1,0]).  
 EP2SGX60E consists of 42 transmit and 40 receive differential I/O, and 2 clock/receive differential I/O pins, (CLK[2,0]/DIFFIO\_RX\_C[1,0]).  
 EP2SGX90E consists of 45 transmit and 45 receive differential I/O, and 2 clock/receive differential I/O pins, (CLK[2,0]/DIFFIO\_RX\_C[1,0]).  
 EP2SGX90F consists of 59 transmit and 57 receive differential I/O, and 2 clock/receive differential I/O pins, (CLK[2,0]/DIFFIO\_RX\_C[1,0]).  
 EP2SGX130G consists of 71 transmit and 71 receive differential I/O, and 2 clock/receive differential I/O pins, (CLK[2,0]/DIFFIO\_RX\_C[1,0]). The transmit bus numbers 15-17, and 64-68 are unused. Also, the receive bus numbers 15-17, 64, and 65 are not unused.
- 6) EP2SGX30 does not have the following signals: FPLL[8..7]CLK, PLL11\_OUT[1,0], PLL12\_OUT[1,0], PLL[12..11]\_FBp/OUT2, VCC\_PLL11\_OUT, and VCC\_PLL12\_OUT.  
 EP2SGX60C/D does not have the following signals: FPLL[8..7]CLK, PLL11\_OUT[1]p/n, PLL11\_OUT[0]p, PLL12\_OUT[1]p/n, PLL12\_OUT[0]n, PLL[11]\_FBp/OUT2p/n, PLL[12]\_FBp/OUT2p, VCC\_PLL11\_OUT, and VCC\_PLL12\_OUT.
- 7) EP2SGX30C, EP2SGX30D, EP2SGX60C, and EP2SGX60D support either (18, x4) (8, x8/x9) or (4, x16/x18) DQ and DQS bus modes.  
 EP2SGX60E, EP2SGX90D, EP2SGX90F, and EP2SGX130G support either (36, x4) (18, x8/x9) or (8, x16/x18) DQ and DQS bus modes.
- 8) The number of VREF pins varies according to the specific device.  
 EP2SGX30 has 2 VREF pins per bank, VREFB[1..4,7,8]N[1..0].  
 EP2SGX60 and EP2SGX90 have 3 VREF pins per bank, VREFB[1..4,7,8]N[2..0].  
 EP2SGX130 has 5 VREF pins per bank, VREFB[1..4,7,8]N[4..0].



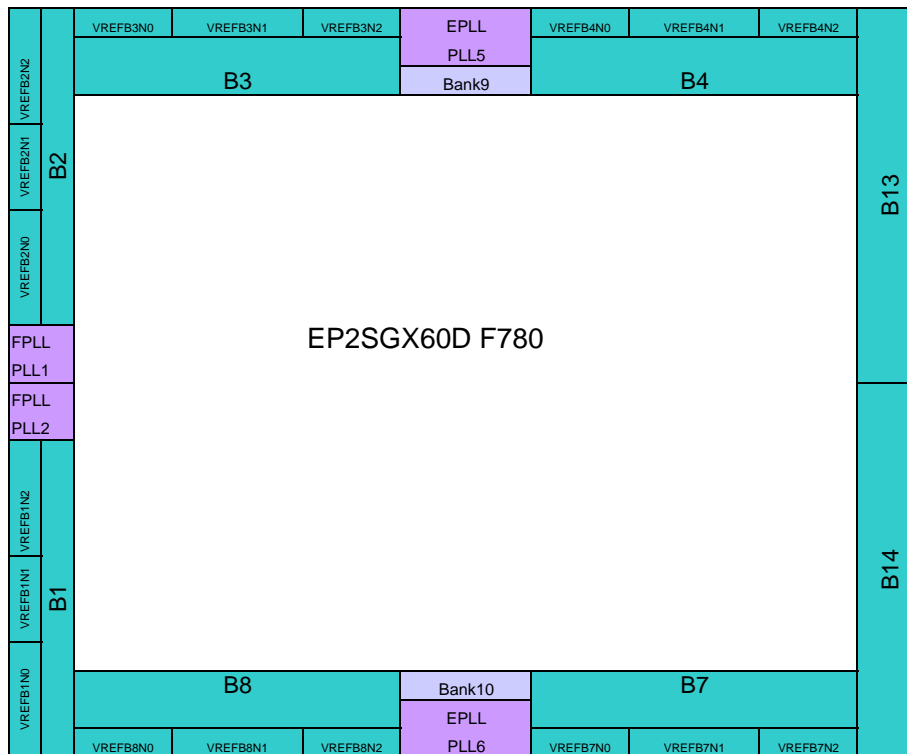
Pin Information for the Stratix® II GX EP2SGX60 Device  
Version 1.3



Notes:

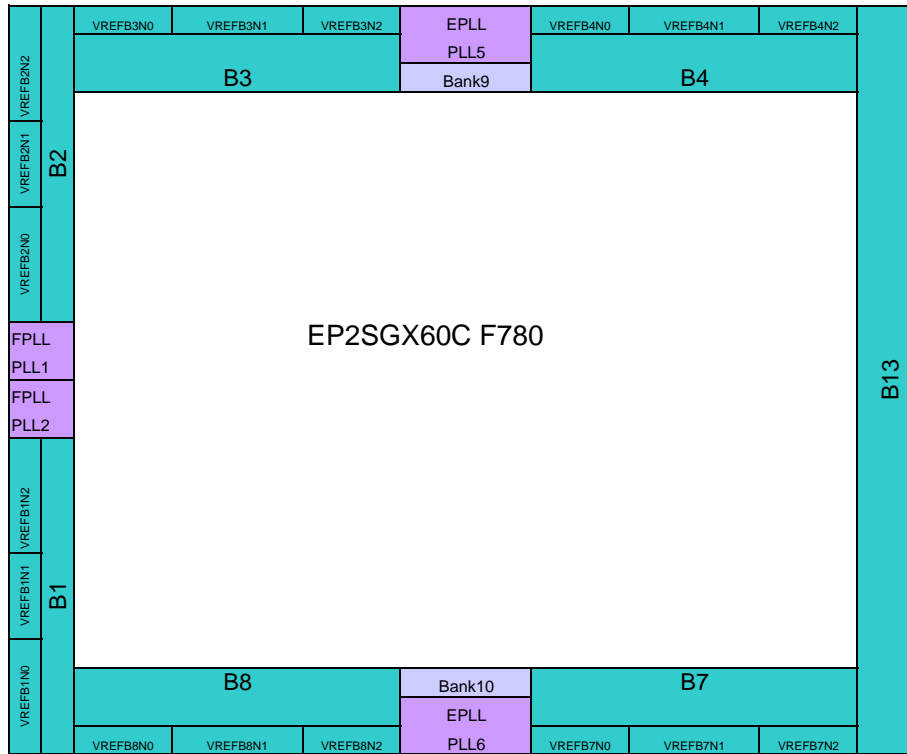
1. This is a top view of the silicon die. For flip-chip packages, the die is mounted upside-down in the package. Therefore, to obtain the top package view, flip this diagram on its vertical axis.
2. This is only a pictorial representation to get an idea of placement on the device. Refer to the pin list and the Quartus® II software for exact locations.





**Notes:**

1. This is a top view of the silicon die. For flip-chip packages, the die is mounted upside-down in the package. Therefore, to obtain the top package view, flip this diagram on its vertical axis.
2. This is only a pictorial representation to get an idea of placement on the device. Refer to the pin list and the Quartus II software for exact locations.



**Notes:**

1. This is a top view of the silicon die. For flip-chip packages, the die is mounted upside-down in the package. Therefore, to obtain the top package view, flip this diagram on its vertical axis.
2. This is only a pictorial representation to get an idea of placement on the device. Refer to the pin list and the Quartus II software for exact locations.



## Pin Information for the Stratix® II GX EP2SGX60 Device Version 1.3

Version History	Date	Changes Made
1.0	5/4/2006	Initial release.
1.1	8/10/2006	Updated VCCL pins to VCCL_B[17..13] in Pin List and Pin Definitions. Updated pin definitions for VCCPD[1..4,7,8]. Removed Bank 7 reference for GND pin AC7 (F780)/ AF7 (F1152) in Pin List. Updated pin W12 (F1152) from NC to VCCA in Pin List. Added Note (4). Updated Bank & PLL Diagram with the correct number of VREFs per bank. Added Note (8) for VREF pin in Pin Definitions. Added VCCL in Note (3) in Pin Definitions.
1.2	1/15/2007	Updated pin definition for REFCLK to mention that it is powered by 1.2-V VCCT. Updated pin definition for VREF pins. Updated Note (4) of Pin Definitions. Added Note (5) in Pin List to mention that EP2SGX60CF780 and EP2SGX60DF780 have only 4 PLL banks. Removed PLL11 (Bank 11) and PLL12 (Bank 12) from EP2SGX60C and EP2SGX60D diagrams.
1.3	12/14/2007	Updated pin descriptions for VCCIO, VCCINT, VCCPD, TEMPDIODEp, and TEMPDIODEn.