



Pin Information for the MAX<sup>®</sup> V 5M240Z Device  
Version 1.1  
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	M68
1	IO			DIFFIO_L1p	A1
1	IO			DIFFIO_L1n	B1
1	IO				C1
1	IO			DIFFIO_L2p	C2
1	IO			DIFFIO_L2n	D1
1	IO				D2
1	IO	CLK0			E2
1	IO	CLK1			E1
1	IO			DIFFIO_L3p	F2
1	IO			DIFFIO_L3n	F3
1	IO				G2
1	TMS		TMS		G1
1	TDI		TDI		H1
1	TCK		TCK		J1
1	TDO		TDO		H2
1	IO			DIFFIO_B1p	J2
1	IO			DIFFIO_B1n	H3
1	IO			DIFFIO_B2p	J3
1	IO			DIFFIO_B2n	H4
1	IO			DIFFIO_B3p	J4
1	IO			DIFFIO_B3n	H5
1	IO			DIFFIO_B4p	G6
1	IO			DIFFIO_B4n	H6
1	IO		DEV_OE	DIFFIO_B5p	J6
1	IO		DEV_CLRn	DIFFIO_B5n	H7
1	IO			DIFFIO_B6p	J7
1	IO			DIFFIO_B6n	H8
1	IO			DIFFIO_B7p	J8
1	IO			DIFFIO_B7n	J9
2	IO			DIFFIO_R4n	H9
2	IO			DIFFIO_R4p	G9
2	IO			DIFFIO_R3n	G8
2	IO			DIFFIO_R3p	F8
2	IO				F9
2	IO	CLK2			E9
2	IO	CLK3			E8
2	IO			DIFFIO_R2n	D9
2	IO			DIFFIO_R2p	C9
2	IO				D8
2	IO			DIFFIO_R1n	C8
2	IO			DIFFIO_R1p	B9
2	IO				A9
2	IO			DIFFIO_T6n	A8
2	IO			DIFFIO_T6p	B8
2	IO				A7
2	IO			DIFFIO_T5n	A6
2	IO			DIFFIO_T5p	B7
2	IO			DIFFIO_T4n	B6
2	IO			DIFFIO_T4p	B5
2	IO			DIFFIO_T3n	A5
2	IO			DIFFIO_T3p	B4
2	IO			DIFFIO_T2n	A4
2	IO			DIFFIO_T2p	B3
2	IO			DIFFIO_T1n	A3
2	IO				B2
2	IO			DIFFIO_T1p	A2
	GND				F1



Pin Information for the MAX<sup>®</sup> V 5M240Z Device  
Version 1.1  
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	M68
	GND				J5
	GND				C5
	GND				E3
	GND				E7
	GND				G5
	GND				C6
	VCCIO1				D3
	VCCIO1				G4
	VCCIO2				C4
	VCCIO2				F7
	VCCINT				D7

Note:

(1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



**Pin Information for the MAX<sup>®</sup> V 5M240Z Device**  
**Version 1.1**  
**Note (1)**

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T100
1	IO			DIFFIO_L1p	2
1	IO			DIFFIO_L1n	3
1	IO			DIFFIO_L2p	4
1	IO			DIFFIO_L2n	5
1	IO			DIFFIO_L3p	6
1	IO			DIFFIO_L3n	7
1	IO				8
1	IO	CLK0			12
1	IO	CLK1			14
1	IO				15
1	IO			DIFFIO_L4p	16
1	IO			DIFFIO_L4n	17
1	IO			DIFFIO_L5p	18
1	IO			DIFFIO_L5n	19
1	IO			DIFFIO_L6p	20
1	IO			DIFFIO_L6n	21
1	TMS		TMS		22
1	TDI		TDI		23
1	TCK		TCK		24
1	TDO		TDO		25
1	IO			DIFFIO_B1p	26
1	IO			DIFFIO_B1n	27
1	IO			DIFFIO_B2p	28
1	IO			DIFFIO_B2n	29
1	IO			DIFFIO_B3p	30
1	IO			DIFFIO_B3n	33
1	IO			DIFFIO_B4p	34
1	IO			DIFFIO_B4n	35
1	IO			DIFFIO_B5p	36
1	IO			DIFFIO_B5n	37
1	IO				38
1	IO			DIFFIO_B6p	39
1	IO			DIFFIO_B6n	40
1	IO			DIFFIO_B7p	41
1	IO			DIFFIO_B7n	42
1	IO		DEV_OE	DIFFIO_B8p	43
1	IO		DEV_CLRn	DIFFIO_B8n	44
1	IO			DIFFIO_B9p	47
1	IO			DIFFIO_B9n	48
1	IO				49
1	IO			DIFFIO_B10p	50
1	IO			DIFFIO_B10n	51
2	IO				52
2	IO			DIFFIO_R7n	53
2	IO			DIFFIO_R7p	54
2	IO			DIFFIO_R6n	55
2	IO			DIFFIO_R6p	56
2	IO			DIFFIO_R5n	57
2	IO			DIFFIO_R5p	58
2	IO				61
2	IO	CLK2			62
2	IO	CLK3			64
2	IO			DIFFIO_R4n	66
2	IO			DIFFIO_R4p	67
2	IO			DIFFIO_R3n	68



**Pin Information for the MAX<sup>®</sup> V 5M240Z Device**  
**Version 1.1**  
**Note (1)**

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T100
2	IO			DIFFIO_R3p	69
2	IO				70
2	IO			DIFFIO_R2n	71
2	IO			DIFFIO_R2p	72
2	IO			DIFFIO_R1n	73
2	IO			DIFFIO_R1p	74
2	IO			DIFFIO_T10n	75
2	IO			DIFFIO_T10p	76
2	IO			DIFFIO_T9n	77
2	IO			DIFFIO_T9p	78
2	IO			DIFFIO_T8n	81
2	IO			DIFFIO_T8p	82
2	IO			DIFFIO_T7n	83
2	IO			DIFFIO_T7p	84
2	IO			DIFFIO_T6n	85
2	IO			DIFFIO_T6p	86
2	IO			DIFFIO_T5n	87
2	IO			DIFFIO_T5p	88
2	IO			DIFFIO_T4n	89
2	IO			DIFFIO_T4p	90
2	IO				91
2	IO			DIFFIO_T3n	92
2	IO			DIFFIO_T3p	95
2	IO			DIFFIO_T2n	96
2	IO			DIFFIO_T2p	97
2	IO			DIFFIO_T1n	98
2	IO			DIFFIO_T1p	99
2	IO				100
	GND				10
	GND				11
	GND				32
	GND				46
	GND				60
	GND				65
	GND				79
	GND				93
	GND				1
	VCCIO1				9
	VCCIO1				31
	VCCIO1				45
	VCCIO2				59
	VCCIO2				80
	VCCIO2				94
	VCCINT				13
	VCCINT				63

Note:

(1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



**Pin Information for the MAX<sup>®</sup> V 5M240Z Device**  
**Version 1.1**  
**Note (1)**

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	M100
1	IO			DIFFIO_L1p	B1
1	IO			DIFFIO_L1n	C2
1	IO			DIFFIO_L2p	C1
1	IO			DIFFIO_L2n	D3
1	IO			DIFFIO_L3p	D2
1	IO			DIFFIO_L3n	D1
1	IO				E2
1	IO	CLK0			F2
1	IO	CLK1			E1
1	IO				F1
1	IO			DIFFIO_L4p	G1
1	IO			DIFFIO_L4n	G2
1	IO			DIFFIO_L5p	F3
1	IO			DIFFIO_L5n	H1
1	IO			DIFFIO_L6p	H3
1	IO			DIFFIO_L6n	H2
1	TMS		TMS		J1
1	TDI		TDI		J2
1	TCK		TCK		K1
1	TDO		TDO		K2
1	IO			DIFFIO_B1p	L1
1	IO			DIFFIO_B1n	L2
1	IO			DIFFIO_B2p	K3
1	IO			DIFFIO_B2n	L3
1	IO			DIFFIO_B3p	K4
1	IO			DIFFIO_B3n	L4
1	IO			DIFFIO_B4p	K5
1	IO			DIFFIO_B4n	L5
1	IO			DIFFIO_B5p	L6
1	IO			DIFFIO_B5n	J5
1	IO				K6
1	IO			DIFFIO_B6p	J7
1	IO			DIFFIO_B6n	J6
1	IO			DIFFIO_B7p	L7
1	IO			DIFFIO_B7n	K7
1	IO		DEV_OE	DIFFIO_B8p	L8
1	IO		DEV_CLRn	DIFFIO_B8n	K8
1	IO			DIFFIO_B9p	L9
1	IO			DIFFIO_B9n	K9
1	IO				L10
1	IO			DIFFIO_B10p	K10
1	IO			DIFFIO_B10n	L11
2	IO				K11
2	IO			DIFFIO_R7n	J10
2	IO			DIFFIO_R7p	J11
2	IO			DIFFIO_R6n	H9
2	IO			DIFFIO_R6p	H10
2	IO			DIFFIO_R5n	H11
2	IO			DIFFIO_R5p	G10
2	IO				F9
2	IO	CLK2			F10
2	IO	CLK3			G11
2	IO			DIFFIO_R4n	F11
2	IO			DIFFIO_R4p	E11
2	IO			DIFFIO_R3n	E10



**Pin Information for the MAX<sup>®</sup> V 5M240Z Device**  
**Version 1.1**  
**Note (1)**

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	M100
2	IO			DIFFIO_R3p	D9
2	IO				D11
2	IO			DIFFIO_R2n	D10
2	IO			DIFFIO_R2p	C11
2	IO			DIFFIO_R1n	C10
2	IO			DIFFIO_R1p	B11
2	IO			DIFFIO_T10n	B10
2	IO			DIFFIO_T10p	A11
2	IO			DIFFIO_T9n	A10
2	IO			DIFFIO_T9p	B9
2	IO			DIFFIO_T8n	A9
2	IO			DIFFIO_T8p	B8
2	IO			DIFFIO_T7n	A8
2	IO			DIFFIO_T7p	B7
2	IO			DIFFIO_T6n	A7
2	IO			DIFFIO_T6p	C6
2	IO			DIFFIO_T5n	B6
2	IO			DIFFIO_T5p	C7
2	IO			DIFFIO_T4n	A6
2	IO			DIFFIO_T4p	C5
2	IO				A5
2	IO			DIFFIO_T3n	B5
2	IO			DIFFIO_T3p	A4
2	IO			DIFFIO_T2n	B4
2	IO			DIFFIO_T2p	A3
2	IO			DIFFIO_T1n	B3
2	IO			DIFFIO_T1p	A2
2	IO				B2
	GND				A1
	GND				E4
	GND				G4
	GND				H5
	GND				H7
	GND				G8
	GND				E8
	GND				D7
	GND				D5
	VCCIO1				E3
	VCCIO1				J4
	VCCIO1				J8
	VCCIO2				G9
	VCCIO2				C8
	VCCIO2				C4
	VCCINT				G3
	VCCINT				E9

Note:

(1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



**Pin Information for the MAX® V 5M240Z Device**  
**Version 1.1**  
**Note (1)**

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
1	IO				1
1	IO			DIFFIO_L1p	2
1	IO			DIFFIO_L1n	3
1	IO			DIFFIO_L2p	4
1	IO			DIFFIO_L2n	5
1	IO			DIFFIO_L3p	6
1	IO			DIFFIO_L3n	7
1	IO			DIFFIO_L4p	11
1	IO			DIFFIO_L4n	12
1	IO			DIFFIO_L5p	13
1	IO			DIFFIO_L5n	14
1	IO			DIFFIO_L6p	15
1	IO			DIFFIO_L6n	16
1	IO	CLK0			18
1	IO	CLK1			20
1	IO			DIFFIO_L7p	21
1	IO			DIFFIO_L7n	22
1	IO			DIFFIO_L8p	23
1	IO			DIFFIO_L8n	24
1	IO			DIFFIO_L9p	27
1	IO			DIFFIO_L9n	28
1	IO			DIFFIO_L10p	29
1	IO			DIFFIO_L10n	30
1	IO			DIFFIO_L11p	31
1	IO			DIFFIO_L11n	32
1	TMS		TMS		33
1	TDI		TDI		34
1	TCK		TCK		35
1	TDO		TDO		36
1	IO			DIFFIO_B1p	37
1	IO			DIFFIO_B1n	38
1	IO				39
1	IO			DIFFIO_B2p	40
1	IO			DIFFIO_B2n	41
1	IO				42
1	IO			DIFFIO_B3p	43
1	IO			DIFFIO_B3n	44
1	IO				45
1	IO			DIFFIO_B4p	48
1	IO			DIFFIO_B4n	49
1	IO			DIFFIO_B5p	50
1	IO			DIFFIO_B5n	51
1	IO			DIFFIO_B6p	52
1	IO			DIFFIO_B6n	53
1	IO			DIFFIO_B7p	55
1	IO			DIFFIO_B7n	57
1	IO			DIFFIO_B8p	58
1	IO			DIFFIO_B8n	59
1	IO		DEV_OE	DIFFIO_B9p	60
1	IO		DEV_CLRn	DIFFIO_B9n	61
1	IO			DIFFIO_B10p	62
1	IO			DIFFIO_B10n	63



**Pin Information for the MAX® V 5M240Z Device**  
**Version 1.1**  
**Note (1)**

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
1	IO			DIFFIO_B11p	66
1	IO			DIFFIO_B11n	67
1	IO				68
1	IO			DIFFIO_B12p	69
1	IO			DIFFIO_B12n	70
1	IO			DIFFIO_B13p	71
1	IO			DIFFIO_B13n	72
2	IO			DIFFIO_R12n	73
2	IO			DIFFIO_R12p	74
2	IO			DIFFIO_R11n	75
2	IO			DIFFIO_R11p	76
2	IO			DIFFIO_R10n	77
2	IO			DIFFIO_R10p	78
2	IO			DIFFIO_R9n	79
2	IO			DIFFIO_R9p	80
2	IO				81
2	IO			DIFFIO_R8n	84
2	IO			DIFFIO_R8p	85
2	IO			DIFFIO_R7n	86
2	IO			DIFFIO_R7p	87
2	IO			DIFFIO_R6n	88
2	IO	CLK2			89
2	IO	CLK3			91
2	IO			DIFFIO_R6p	93
2	IO			DIFFIO_R5n	94
2	IO			DIFFIO_R5p	95
2	IO				96
2	IO			DIFFIO_R4n	97
2	IO			DIFFIO_R4p	98
2	IO			DIFFIO_R3n	101
2	IO			DIFFIO_R3p	102
2	IO				103
2	IO			DIFFIO_R2n	104
2	IO			DIFFIO_R2p	105
2	IO				106
2	IO			DIFFIO_R1n	107
2	IO			DIFFIO_R1p	108
2	IO				109
2	IO			DIFFIO_T13n	110
2	IO			DIFFIO_T13p	111
2	IO			DIFFIO_T12n	112
2	IO			DIFFIO_T12p	113
2	IO			DIFFIO_T11n	114
2	IO			DIFFIO_T11p	117
2	IO				118
2	IO			DIFFIO_T10n	119
2	IO			DIFFIO_T10p	120
2	IO			DIFFIO_T9n	121
2	IO			DIFFIO_T9p	122
2	IO			DIFFIO_T8n	123
2	IO			DIFFIO_T8p	124
2	IO			DIFFIO_T7n	125





**Pin Information for the MAX<sup>®</sup> V 5M240Z Device**  
**Version 1.1**  
**Note (1)**

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
2	IO			DIFFIO_T7p	127
2	IO			DIFFIO_T6n	129
2	IO			DIFFIO_T6p	130
2	IO			DIFFIO_T5n	131
2	IO			DIFFIO_T5p	132
2	IO			DIFFIO_T4n	133
2	IO			DIFFIO_T4p	134
2	IO			DIFFIO_T3n	138
2	IO			DIFFIO_T3p	139
2	IO			DIFFIO_T2n	140
2	IO			DIFFIO_T2p	141
2	IO			DIFFIO_T1n	142
2	IO			DIFFIO_T1p	143
2	IO				144
	GND				8
	GND				10
	GND				17
	GND				26
	GND				47
	GND				54
	GND				65
	GND				83
	GND				92
	GND				99
	GND				115
	GND				128
	GND				135
	GND				137
	VCCIO1				9
	VCCIO1				25
	VCCIO1				46
	VCCIO1				64
	VCCIO2				82
	VCCIO2				100
	VCCIO2				116
	VCCIO2				136
	VCCINT				19
	VCCINT				56
	VCCINT				90
	VCCINT				126

Note:  
 (1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



**Pin Information for the MAX<sup>®</sup> V 5M240Z Device  
Version 1.1**

<b>Version Number</b>	<b>Date</b>	<b>Changes Made</b>
1.0	12/3/2010	Initial release.
1.1	3/19/2013	Updated pin 44 of pin list T100 and pin K8 of pin list M100 from DIFFIO_B5n to DIFFIO_B8n.