



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
B1	VREFB1N0	IO	DIFFIO L1p			H7						
B1	VREFB1N0	IO	DIFFIO L1n		C2	G3	DQ2L	DQ1L	DQ1L			
B1	VREFB1N0	IO	DIFFIO L2p		D2	B2	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO L2n		D1	B1	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	VREFB1N0		H7	G5						
B1	VREFB1N0	IO	DIFFIO L3p	nRESET	G6	E4	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO L3n		G5	E3	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO L4p		E3	C2	DQS2L/CQ3L,CDPCLK0	DQS2L/CQ3L,CDPCLK0	DQS2L/CQ3L,CDPCLK0	DQS2L/CQ3L,CDPCLK0	DQS2L/CQ3L,CDPCLK0	DQS2L/CQ3L,CDPCLK0
B1	VREFB1N0	IO	DIFFIO L4n		F3	C1	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO L5p		F5	D2	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO L5n	DATA1,ASDO	F4	D1						
B1	VREFB1N0	IO			H6							
B1	VREFB1N0	IO	DIFFIO L6p		G4	H6	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO L6n		G3	J6				DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO L7p		H4							
B1	VREFB1N0	IO	DIFFIO L7n		H3	H3						
B1	VREFB1N0	IO	DIFFIO L8p	FLASH_nCE,nCSO	E2	E2						
B1	VREFB1N0	IO	DIFFIO L8n		E1	E1		DQ1L	DQ1L		DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO L9p		F2	F2	DM2L	DM1L/BWS#1L	DM1L/BWS#1L	DM2L	DM1L/BWS#1L	DM1L/BWS#1L
B1	VREFB1N1	IO	DIFFIO L9n		F1	F1	DQ0L	DQ1L	DQ1L	DQ0L	DQ1L	DQ1L
B1	VREFB1N1	IO			H5	H4						
B1	VREFB1N1	IO	VREFB1N1		L5	H5						
B1	VREFB1N1	IO	DIFFIO L10p		J4							
B1	VREFB1N1	IO	DIFFIO L10n		J3		DQ0L	DQ1L	DQ1L			
B1	VREFB1N1	nSTATUS		nSTATUS	M6	K6						
B1	VREFB1N1	IO	DIFFIO L11p		G2		DQ0L	DQ1L	DQ1L			
B1	VREFB1N1	IO	DIFFIO L11n		G1							
B1	VREFB1N1	IO	DIFFIO L12p		K2	J4	DQS0L/CQ1L,DPCLK0	DQS0L/CQ1L,DPCLK0	DQS0L/CQ1L,DPCLK0	DQS0L/CQ1L,DPCLK0	DQS0L/CQ1L,DPCLK0	DQS0L/CQ1L,DPCLK0
B1	VREFB1N1	IO	DIFFIO L12n		K1		DQ0L	DQ1L	DQ1L			
B1	VREFB1N1	IO	DIFFIO L13p		K4	H2				DQ0L	DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO L13n		K3	H1				DQ0L	DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO L14p		L4							
B1	VREFB1N1	IO	DIFFIO L14n		L3							
B1	VREFB1N1	IO	DIFFIO L15p		M4							
B1	VREFB1N1	IO	DIFFIO L15n		M3							
B1	VREFB1N1	IO	DIFFIO L16p		J6							
B1	VREFB1N1	IO	DIFFIO L16n		J5							
B1	VREFB1N1	IO	DIFFIO L17p		J7							
B1	VREFB1N1	IO	DIFFIO L17n		K7							
B1	VREFB1N2	IO	DIFFIO L18p		K8							
B1	VREFB1N2	IO	DIFFIO L18n		L8							
B1	VREFB1N2	IO	VREFB1N2		M5	J3						
B1	VREFB1N2	IO	DIFFIO L19p		L7							
B1	VREFB1N2	IO	DIFFIO L19n		L6							
B1	VREFB1N2	IO	DIFFIO L20p		N4							
B1	VREFB1N2	IO	DIFFIO L20n		N3							
B1	VREFB1N2	IO	DIFFIO L21p		M8							
B1	VREFB1N2	IO	DIFFIO L21n		M7							
B1	VREFB1N2	IO	DIFFIO L22p		L2							
B1	VREFB1N2	IO	DIFFIO L22n		L1		DQ0L	DQ1L	DQ1L			
B1	VREFB1N2	IO	DIFFIO L23p		M2	J2				DQ0L	DQ1L	DQ1L
B1	VREFB1N2	IO	DIFFIO L23n		M1	J1	DQ0L	DQ1L	DQ1L	DQ0L	DQ1L	DQ1L
B1	VREFB1N2	IO	DIFFIO L24p		P2							
B1	VREFB1N2	IO	DIFFIO L24n		P1		DQ0L	DQ1L	DQ1L			
B1	VREFB1N2	IO			N8							
B1	VREFB1N2	DCLK		DCLK	P3	K2						
B1	VREFB1N2	IO		DATA0	N7	K1						
B1	VREFB1N2	nCONFIG		nCONFIG	P4	K5						
B1	VREFB1N2	TDI		TDI	P7	L5						
B1	VREFB1N2	TCK		TCK	P5	L2						
B1	VREFB1N2	TMS		TMS	P8	L1						
B1	VREFB1N2	TDO		TDO	P6	L4						
B1	VREFB1N2	nCE		nCE	R8	L3						
B1	VREFB1N2	CLK1	DIFFCLK_0n		J1	G1						
B2	VREFB2N0	CLK2	DIFFCLK_1p		Y2	T2						
B2	VREFB2N0	CLK3	DIFFCLK_1n		Y1	T1						
B2	VREFB2N0	IO	DIFFIO L25p		R2	L6	DQ0L	DQ1L	DQ1L	DQ0L	DQ1L	DQ1L
B2	VREFB2N0	IO	DIFFIO L25n		R1	M6		DQ1L	DQ1L	DQ0L	DQ1L	DQ1L
B2	VREFB2N0	IO	DIFFIO L26p		R7							
B2	VREFB2N0	IO	DIFFIO L26n		R6							
B2	VREFB2N0	IO	DIFFIO L27p		U3	M2	DM0L	DM1L/BWS#1L	DM1L/BWS#1L	DQ0L	DQ1L	DQ1L
B2	VREFB2N0	IO	DIFFIO L27n		U4	M1				DQ1L	DQ1L	DQ1L
B2	VREFB2N0	IO	DIFFIO L28p		R3	M4	DQ1L	DQ3L	DQ1L	DM0L	DM1L/BWS#1L	DM1L/BWS#1L



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
B2	VREFB2N0	IO	DIFFIO L28n		R4	M3	DQ1L	DQ3L	DQ1L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO L29p		T4	N2	DQ1L	DQ3L	DQ1L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO L29n		T3	N1				DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO			R5		DQ1L	DQ3L	DQ1L			
B2	VREFB2N0	IO	VREFB2N0		T7	M5						
B2	VREFB2N0	IO	DIFFIO L30p		U2	P2				DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO L30n		U1	P1	DQ1L	DQ3L	DQ1L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO L31p		V4	R2	DQ1L	DQ3L	DQ1L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO L31n		V3	R1				DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO L32p		V2		DQ1L	DQ3L	DQ1L			
B2	VREFB2N0	IO	DIFFIO L32n		V1	N5	DQ1L	DQ3L	DQ1L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO L33p		AB2	P4	DQS1L/CQ1L#_DPCLK1	DQS1L/CQ1L#_DPCLK1	DQS1L/CQ1L#_DPCLK1	DQS1L/CQ1L#_DPCLK1	DQS1L/CQ1L#_DPCLK1	DQS1L/CQ1L#_DPCLK1
B2	VREFB2N0	IO	DIFFIO L33n		AB1	P3				DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO L34p		W2	U2	DQ1L	DQ3L	DQ1L	DM1L/BWS#1L	DM3L/BWS#3L	DM1L/BWS#1L
B2	VREFB2N1	IO	DIFFIO L34n		W1	U1	DM1L/BWS#1L	DM3L/BWS#3L	DM1L/BWS#1L	DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO L35p		U6	V2	DQ3L	DQ3L	DQ1L	DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO L35n		U5	V1				DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO L36p		Y4	P5	DQ3L	DQ3L	DQ1L			
B2	VREFB2N1	IO	DIFFIO L36n		Y3	N6				DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO L37p		AC2	R4	DQ3L	DQ3L	DQ1L			
B2	VREFB2N1	IO	DIFFIO L37n		AC1	R3	DQ3L	DQ3L	DQ1L			
B2	VREFB2N1	IO	DIFFIO L38p		AC3	W2	DQ3L	DQ3L	DQ1L	DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO L38n		AD3	W1				DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO L39p		AD2	Y2	DQ3L	DQ3L	DQ1L	DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO L39n		AD1	Y1				DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO			AB3		DQ3L	DQ3L	DQ1L			
B2	VREFB2N1	IO	VREFB2N1		T8	T3						
B2	VREFB2N1	IO	DIFFIO L40p		AA4		DQ3L	DQ3L	DQ1L			
B2	VREFB2N1	IO	DIFFIO L40n		AA3	AA1				DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	RUP1		U7	V4						
B2	VREFB2N1	IO	RDN1		U8	V3						
B2	VREFB2N1	IO	DIFFIO L41p		AE2		DQ3L	DQ3L	DQ1L			
B2	VREFB2N1	IO	DIFFIO L41n		AE1							
B2	VREFB2N1	IO	DIFFIO L42p		V6							
B2	VREFB2N1	IO	DIFFIO L42n		V5							
B2	VREFB2N1	IO	DIFFIO L43p		V8							
B2	VREFB2N1	IO	DIFFIO L43n		V7							
B2	VREFB2N2	IO	DIFFIO L44p		W4							
B2	VREFB2N2	IO	DIFFIO L44n		W3							
B2	VREFB2N2	IO	DIFFIO L45p		Y6							
B2	VREFB2N2	IO	DIFFIO L45n		Y5							
B2	VREFB2N2	IO			W7							
B2	VREFB2N2	IO	DIFFIO L46p		W8							
B2	VREFB2N2	IO	DIFFIO L46n		Y7							
B2	VREFB2N2	IO	DIFFIO L47p		AA6							
B2	VREFB2N2	IO	DIFFIO L47n		AA5							
B2	VREFB2N2	IO			AA7							
B2	VREFB2N2	IO	VREFB2N2		AB4	R5						
B2	VREFB2N2	IO	DIFFIO L48p		AE3	T4	DQS3L/CQ3L#_CDPCLK1	DQS3L/CQ3L#_CDPCLK1	DQS3L/CQ3L#_CDPCLK1	DQS3L/CQ3L#_CDPCLK1	DQS3L/CQ3L#_CDPCLK1	DQS3L/CQ3L#_CDPCLK1
B2	VREFB2N2	IO	DIFFIO L48n		AF2	T5	DM3L/BWS#3L	DM3L/BWS#3L	DM1L/BWS#1L	DM3L/BWS#3L	DM3L/BWS#3L	DM1L/BWS#1L
B2	VREFB2N2	IO	DIFFIO L49p		AC5							
B2	VREFB2N2	IO	DIFFIO L49n		AC4							
B2	VREFB2N2	IO	DIFFIO L50p		AB6							
B2	VREFB2N2	IO	DIFFIO L50n		AB5							
B3	VREFB3N2	IO	DIFFIO B1p		AD5							
B3	VREFB3N2	IO	DIFFIO B1n		AE6	V5	DM1B			DM3B/BWS#3B	DM3B/BWS#3B	DM5B/BWS#5B
B3	VREFB3N2	IO	DIFFIO B2p		AD4							
B3	VREFB3N2	IO	DIFFIO B2n		AF4		DQ1B					
B3	VREFB3N2	IO	DIFFIO B3p		AE4	Y4						
B3	VREFB3N2	IO	DIFFIO B3n		AG3	Y3	DQ1B			DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO			AD7	Y6	DQS1B/CQ1B#_CDPCLK2	DQS1B/CQ1B#_CDPCLK2	DQS1B/CQ1B#_CDPCLK2	DQS1B/CQ1B#_CDPCLK2	DQS1B/CQ1B#_CDPCLK2	DQS1B/CQ1B#_CDPCLK2
B3	VREFB3N2	IO	PLL1_CLKOUTp		AE5	AA3						
B3	VREFB3N2	IO	PLL1_CLKOUTn		AF5	AB3						
B3	VREFB3N2	IO	DIFFIO B4p		AH3	W6	DQ1B			DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO	DIFFIO B4n		AF3							
B3	VREFB3N2	IO			AF6	AA4	DQ1B			DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO	VREFB3N2		Y10	AB4						
B3	VREFB3N2	IO	DIFFIO B5p		AG4	AA5				DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO	DIFFIO B5n		AH4		DQ1B					
B3	VREFB3N2	IO	DIFFIO B6p		AD8		DQ1B					
B3	VREFB3N2	IO	DIFFIO B6n		AC7							
B3	VREFB3N2	IO	DIFFIO B7p		AG6		DQ1B					
B3	VREFB3N2	IO	DIFFIO B7n		AH6	AA6	DQ1B					



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
B3	VREFB3N2	IO	DIFFIO B8p		AB9	AB6	DM3B/BWS#3B	DM3B/BWS#3B	DM5B/BWS#5B			
B3	VREFB3N2	IO	DIFFIO B8n		AB8	AB5						
B3	VREFB3N2	IO			AD10		DQ3B	DQ3B	DQ5B			
B3	VREFB3N2	IO	DIFFIO B9p		AG7	W7	DQ3B	DQ3B	DQ5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO B9n		AH7	Y7	DQ3B	DQ3B	DQ5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO B10p		AB7							
B3	VREFB3N1	IO	DIFFIO B10n		AC8		DQ3B	DQ3B	DQ5B			
B3	VREFB3N1	IO	DIFFIO B11p		AA8							
B3	VREFB3N1	IO	DIFFIO B11n		AA10		DQ3B	DQ3B	DQ5B			
B3	VREFB3N1	IO	DIFFIO B12p		AG8		DQ3B	DQ3B	DQ5B			
B3	VREFB3N1	IO	DIFFIO B12n		AH8	U9	DQ3B	DQ3B	DQ5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO B13p		AE7	V8				DQ3B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO B13n		AF7	W8	DQ3B	DQ3B	DQ5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N1	IO			AF9		DQ3B	DQ3B	DQ5B			
B3	VREFB3N1	IO	DIFFIO B14p		AE8	AA7				DM5B/BWS#5B	DM3B/BWS#3B	DM5B/BWS#5B
B3	VREFB3N1	IO	DIFFIO B14n		AF8	AB7	DM5B/BWS#5B	DM3B/BWS#3B	DM5B/BWS#5B	DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO			AE9	Y8	DQ5B			DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	VREFB3N1		AB11	V9						
B3	VREFB3N1	IO	DIFFIO B15p		AE10	V10	DQS3B/CQ3B#_DPCLK2	DQS3B/CQ3B#_DPCLK2	DQS3B/CQ3B#_DPCLK2	DQS3B/CQ3B#_DPCLK2	DQS3B/CQ3B#_DPCLK2	DQS3B/CQ3B#_DPCLK2
B3	VREFB3N1	IO	DIFFIO B15n		AF10	U10	DQ5B	DQ3B	DQ5B	DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO B16p		AG10		DQ5B	DQ3B	DQ5B			
B3	VREFB3N1	IO	DIFFIO B16n		AH10							
B3	VREFB3N1	IO	DIFFIO B17p		AE12	AA8	DQ5B	DQ3B	DQ5B	DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO B17n		AF12	AB8				DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO B18p		AE11	AA9	DQ5B	DQ3B	DQ5B	DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO B18n		AF11	AB9	DQS5B/CQ5B#_DPCLK3	DQS5B/CQ5B#_DPCLK3	DQS5B/CQ5B#_DPCLK3	DQS5B/CQ5B#_DPCLK3	DQS5B/CQ5B#_DPCLK3	DQS5B/CQ5B#_DPCLK3
B3	VREFB3N1	IO	DIFFIO B19p		AB10							
B3	VREFB3N0	IO	DIFFIO B19n		AC10							
B3	VREFB3N0	IO	DIFFIO B20p		AG11		DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO B20n		AH11		DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO B21p		AE13		DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO B21n		AF13							
B3	VREFB3N0	IO	DIFFIO B22p		AC12							
B3	VREFB3N0	IO	DIFFIO B22n		AB12							
B3	VREFB3N0	IO	VREFB3N0		AB13	U11						
B3	VREFB3N0	IO			AD12	V11				DQ5B	DQ3B	DQ5B
B3	VREFB3N0	IO	DIFFIO B23p		AE14	W10				DQ5B	DQ3B	DQ5B
B3	VREFB3N0	IO	DIFFIO B23n		AF14	Y10				DQ5B	DQ3B	DQ5B
B3	VREFB3N0	IO	DIFFIO B24p		AC11	AA10				DM4B	DM5B/BWS#5B	DM5B/BWS#5B
B3	VREFB3N0	IO	DIFFIO B24n		AD11	AB10				DQ5B	DQ5B	DQ5B
B3	VREFB3N0	IO	DIFFIO B25p		Y12							
B3	VREFB3N0	IO	DIFFIO B25n		AA12							
B3	VREFB3N0	IO	DIFFIO B26p		Y13							
B3	VREFB3N0	IO	DIFFIO B26n		AA13							
B3	VREFB3N0	IO	DIFFIO B27p		AA14							
B3	VREFB3N0	IO	DIFFIO B27n		AB14							
B3	VREFB3N0	IO	DIFFIO B28p		AG12		DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO B28n		AH12							
B3	VREFB3N0	IO	DIFFIO B29p		AC14							
B3	VREFB3N0	IO	DIFFIO B29n		AD14							
B3	VREFB3N0	IO	DIFFIO B30p		Y14							
B3	VREFB3N0	IO	DIFFIO B30n		Y15							
B3	VREFB3N0	CLK15	DIFFCLK 6p		AG14	AA11						
B3	VREFB3N0	CLK14	DIFFCLK 6n		AH14	AB11						
B4	VREFB4N2	CLK13	DIFFCLK 7p		AG15	AA12						
B4	VREFB4N2	CLK12	DIFFCLK 7n		AH15	AB12						
B4	VREFB4N2	IO	DIFFIO B31p		AC15		DM4B	DM5B/BWS#5B	DM5B/BWS#5B			
B4	VREFB4N2	IO	DIFFIO B31n		AD15							
B4	VREFB4N2	IO	DIFFIO B32p		AE15	AA13		DQ5B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO B32n		AF15	AB13	DQ4B	DQ5B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO B33p		AG17		DQ4B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO B33n		AH17		DQ4B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO B34p		AE16							
B4	VREFB4N2	IO	DIFFIO B34n		AF16		DQ4B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO B35p		AA16	AA14				DQ4B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO B35n		AB16	AB14	DQ4B	DQ5B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N2	IO	VREFB4N2		AA15	V12						
B4	VREFB4N2	IO			AB15							
B4	VREFB4N2	IO	DIFFIO B36p		AE17	W13	DQ4B	DQ5B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO B36n		AF17	Y13	DQS4B/CQ5B_DPCLK4	DQS4B/CQ5B_DPCLK4	DQS4B/CQ5B_DPCLK4	DQS4B/CQ5B_DPCLK4	DQS4B/CQ5B_DPCLK4	DQS4B/CQ5B_DPCLK4
B4	VREFB4N2	IO	DIFFIO B37p		AG18	AA15	DQ4B	DQ5B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO B37n		AH18	AB15	DQ4B	DQ5B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO B38p		AG19	U12				DQ4B	DQ5B	DQ5B



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
B4	VREFB4N2	IO	DIFFIO_B38n		AH19		DM2B	DM5B/BWS#5B	DM5B/BWS#5B			
B4	VREFB4N2	IO	DIFFIO_B39p		AC17	Y14						
B4	VREFB4N2	IO	DIFFIO_B39n		AD17	Y15	DQ2B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO_B40p		AG21	AA16	DQ2B	DQ5B	DQ5B	DM2B	DM5B/BWS#5B	DM5B/BWS#5B
B4	VREFB4N2	IO	DIFFIO_B40n		AH21	AB16	DQ2B	DQ5B	DQ5B	DQ2B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO_B41p		AE18	V13	DQS2B/CQ3B,DPCLK5	DQS2B/CQ3B,DPCLK5	DQS2B/CQ3B,DPCLK5	DQS2B/CQ3B,DPCLK5	DQS2B/CQ3B,DPCLK5	DQS2B/CQ3B,DPCLK5
B4	VREFB4N1	IO	DIFFIO_B41n		AF18	W14						
B4	VREFB4N1	IO	DIFFIO_B42p		AG22		DQ2B	DQ5B	DQ5B			
B4	VREFB4N1	IO	DIFFIO_B42n		AH22		DQ2B	DQ5B	DQ5B			
B4	VREFB4N1	IO	DIFFIO_B43p		AG23	V14				DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B43n		AH23		DQ2B	DQ5B	DQ5B			
B4	VREFB4N1	IO	DIFFIO_B44p		AE19	U14	DQ2B	DQ5B	DQ5B			
B4	VREFB4N1	IO	DIFFIO_B44n		AF19	V15				DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B45p		AF24	W15	DQ2B	DQ5B	DQ5B	DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B45n		AF25		DM0B	DQ5B	DQ5B			
B4	VREFB4N1	IO	DIFFIO_B46p		AE20							
B4	VREFB4N1	IO	DIFFIO_B46n		AF20	T15	DQ0B			DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO			AD18	AB18	DQ0B			DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B47p		AE21	AA17	DQ0B					
B4	VREFB4N1	IO	DIFFIO_B47n		AF21	AB17						
B4	VREFB4N1	IO	VREFB4N1		AC18	AA18						
B4	VREFB4N1	IO	RUP2		AA17	AA19						
B4	VREFB4N1	IO	RDN2		AB17	AB19						
B4	VREFB4N1	IO	DIFFIO_B48p		AE25	W17	DQ0B			DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B48n		AF26	Y17	DQS0B/CQ1B,CDPCLK3	DQS0B/CQ1B,CDPCLK3	DQS0B/CQ1B,CDPCLK3	DQS0B/CQ1B,CDPCLK3	DQS0B/CQ1B,CDPCLK3	DQS0B/CQ1B,CDPCLK3
B4	VREFB4N1	IO	DIFFIO_B49p		AG25	AA20					DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B49n		AH25	AB20	DQ0B			DQ2B	DQ5B	DQ5B
B4	VREFB4N0	IO	DIFFIO_B50p		AC19							
B4	VREFB4N0	IO	DIFFIO_B50n		AD19							
B4	VREFB4N0	IO	DIFFIO_B51p		Y17							
B4	VREFB4N0	IO	DIFFIO_B51n		Y16							
B4	VREFB4N0	IO	DIFFIO_B52p		AE22							
B4	VREFB4N0	IO	DIFFIO_B52n		AF22		DQ0B					
B4	VREFB4N0	IO	DIFFIO_B53p		AB19							
B4	VREFB4N0	IO	DIFFIO_B53n		AB18							
B4	VREFB4N0	IO	DIFFIO_B54p		AD25							
B4	VREFB4N0	IO	DIFFIO_B54n		AE24		DQ0B					
B4	VREFB4N0	IO	VREFB4N0		AB20	V16						
B4	VREFB4N0	IO	DIFFIO_B55p		AC21							
B4	VREFB4N0	IO	DIFFIO_B55n		AD21							
B4	VREFB4N0	IO			AD24							
B4	VREFB4N0	IO	PLL4_CLKOUTp		AE23	T16						
B4	VREFB4N0	IO	PLL4_CLKOUTn		AF23	R16						
B4	VREFB4N0	IO	DIFFIO_B56p		Y19							
B4	VREFB4N0	IO	DIFFIO_B56n		AA19							
B4	VREFB4N0	IO	DIFFIO_B57p		AB22							
B4	VREFB4N0	IO	DIFFIO_B57n		AB21							
B4	VREFB4N0	IO	DIFFIO_B58p		AC22							
B4	VREFB4N0	IO	DIFFIO_B58n		AD22							
B4	VREFB4N0	IO			AA21							
B4	VREFB4N0	IO	DIFFIO_B59p		AG26		DQ0B					
B4	VREFB4N0	IO	DIFFIO_B59n		AH26							
B5	VREFB5N2	IO	DIFFIO_R51n		AC25							
B5	VREFB5N2	IO	DIFFIO_R51p		AC24	AA21				DM3R/BWS#3R	DM3R/BWS#3R	DM1R/BWS#1R
B5	VREFB5N2	IO			AB24		DM3R/BWS#3R	DM3R/BWS#3R	DM1R/BWS#1R			
B5	VREFB5N2	IO	RUP3		AA22	T17						
B5	VREFB5N2	IO	RDN3		AB23	T18						
B5	VREFB5N2	IO	DIFFIO_R50n		AF27	W20	DQS3R/CQ3R#,CDPCLK4	DQS3R/CQ3R#,CDPCLK4	DQS3R/CQ3R#,CDPCLK4	DQS3R/CQ3R#,CDPCLK4	DQS3R/CQ3R#,CDPCLK4	DQS3R/CQ3R#,CDPCLK4
B5	VREFB5N2	IO	DIFFIO_R50p		AE26							
B5	VREFB5N2	IO	VREFB5N2		AA24	W19						
B5	VREFB5N2	IO			AA23							
B5	VREFB5N2	IO	DIFFIO_R49n		AD26	Y22	DQ3R	DQ3R	DQ1R	DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R49p		AC26	R17						
B5	VREFB5N2	IO	DIFFIO_R48n		AE28	U20	DQ3R	DQ3R	DQ1R	DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R48p		AE27	M16						
B5	VREFB5N2	IO	DIFFIO_R47n		AD28		DQ3R	DQ3R	DQ1R			
B5	VREFB5N2	IO	DIFFIO_R47p		AD27		DQ3R	DQ3R	DQ1R			
B5	VREFB5N2	IO	DIFFIO_R46n		Y24	W22	DQ3R	DQ3R	DQ1R	DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R46p		Y23	W21				DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R45n		AC28	T20	DQ3R	DQ3R	DQ1R			
B5	VREFB5N2	IO	DIFFIO_R45p		AC27	T19	DQ3R	DQ3R	DQ1R			
B5	VREFB5N1	IO	DIFFIO_R44n		AB26		DQ3R	DQ3R	DQ1R			
B5	VREFB5N1	IO	DIFFIO_R44p		AB25							



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
B5	VREFB5N1	IO	DIFFIO_R43n		AA26	V22	DQ3R	DQ3R	DQ1R	DQ3R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R43p		AA25	V21				DQ3R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R42n		AB28	R20	DM1R/BWS#1R	DM3R/BWS#3R	DM1R/BWS#1R	DQ3R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R42p		AB27		DQ1R	DQ3R	DQ1R	DQ3R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R41n		Y26	U22	DQ1R	DQ3R	DQ1R	DQ3R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R41p		Y25	U21				DQ3R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R40n		W26		DQ1R	DQ3R	DQ1R		DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R40p		W25	R19				DM1R/BWS#1R	DM3R/BWS#3R	DM1R/BWS#1R
B5	VREFB5N1	IO	DIFFIO_R39n		W27		DQ1R	DQ3R	DQ1R			
B5	VREFB5N1	IO	DIFFIO_R39p		W28		DQ1R	DQ3R	DQ1R			
B5	VREFB5N1	IO	DIFFIO_R38n		V28	R22	DQ1R	DQ3R	DQ1R	DQ1R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R38p		V27	R21				DQ1R	DQ3R	DQ1R
B5	VREFB5N1	IO	VREFB5N1		U23	P20						
B5	VREFB5N1	IO	DIFFIO_R37n		V26							
B5	VREFB5N1	IO	DIFFIO_R37p		V25		DQ1R	DQ3R	DQ1R			
B5	VREFB5N1	IO	DIFFIO_R36n		V24	P22				DQ1R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R36p		V23	P21				DQ1R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R35n		W21							
B5	VREFB5N1	IO	DIFFIO_R35p		V21							
B5	VREFB5N1	IO	DIFFIO_R34n		V22							
B5	VREFB5N0	IO	DIFFIO_R34p		U22							
B5	VREFB5N0	IO	DIFFIO_R33n		U26	N20				DQ1R	DQ3R	DQ1R
B5	VREFB5N0	IO	DIFFIO_R33p		U25							
B5	VREFB5N0	IO	VREFB5N0		U24	N19						
B5	VREFB5N0	IO	DIFFIO_R32n		U28		DQ1R	DQ3R	DQ1R			
B5	VREFB5N0	IO	DIFFIO_R32p		U27							
B5	VREFB5N0	IO			U21							
B5	VREFB5N0	IO	DIFFIO_R31n		Y22							
B5	VREFB5N0	IO	DIFFIO_R31p		W22							
B5	VREFB5N0	IO	DIFFIO_R30n		T26							
B5	VREFB5N0	IO	DIFFIO_R30p		T25	N18	DQS1R/CQ1R#DPCLK6	DQS1R/CQ1R#DPCLK6	DQS1R/CQ1R#DPCLK6	DQS1R/CQ1R#DPCLK6	DQS1R/CQ1R#DPCLK6	DQS1R/CQ1R#DPCLK6
B5	VREFB5N0	IO	DIFFIO_R29n	DEV_OE	T22	N22						
B5	VREFB5N0	IO	DIFFIO_R29p	DEV_CLRn	T21	N21						
B5	VREFB5N0	IO	DIFFIO_R28n		R26	M22	DQ1R	DQ3R	DQ1R	DQ1R	DQ3R	DQ1R
B5	VREFB5N0	IO	DIFFIO_R28p		R25	M21				DQ1R	DQ3R	DQ1R
B5	VREFB5N0	IO	DIFFIO_R27n		R28	M20	DM0R	DM1R/BWS#1R	DM1R/BWS#1R	DQ1R	DQ3R	DQ1R
B5	VREFB5N0	IO	DIFFIO_R27p		R27	M19		DQ1R	DQ1R	DQ1R	DQ3R	DQ1R
B5	VREFB5N0	IO			R24							
B5	VREFB5N0	IO	DIFFIO_R26n		R23							
B5	VREFB5N0	IO	DIFFIO_R26p		R22							
B5	VREFB5N0	IO	DIFFIO_R25n		R21							
B5	VREFB5N0	IO	DIFFIO_R25p		P21							
B5	VREFB5N0	CLK7	DIFFCLK_3n		Y28	T22						
B5	VREFB5N0	CLK6	DIFFCLK_3p		Y27	T21						
B6	VREFB6N2	CLK5	DIFFCLK_2n		J28	G22						
B6	VREFB6N2	CLK4	DIFFCLK_2p		J27	G21						
B6	VREFB6N2	CONF_DONE		CONF_DONE	P24	M18						
B6	VREFB6N2	MSEL0		MSEL0	N22	M17						
B6	VREFB6N2	MSEL1		MSEL1	P23	L18						
B6	VREFB6N2	MSEL2		MSEL2	M22	L17						
B6	VREFB6N2	MSEL3		MSEL3	P22	K20						
B6	VREFB6N2	IO			M23							
B6	VREFB6N2	IO	DIFFIO_R24n	INIT_DONE	P26	L22						
B6	VREFB6N2	IO	DIFFIO_R24p	CRC_ERROR	P25	L21						
B6	VREFB6N2	IO			M24							
B6	VREFB6N2	IO	VREFB6N2		N21	K19						
B6	VREFB6N2	IO	DIFFIO_R23n	nCEO	P28	K22						
B6	VREFB6N2	IO	DIFFIO_R23p	CLKUSR	P27	K21						
B6	VREFB6N2	IO	DIFFIO_R22n		N26	J22	DQS0R/CQ1R,DPCLK7	DQS0R/CQ1R,DPCLK7	DQS0R/CQ1R,DPCLK7	DQS0R/CQ1R,DPCLK7	DQS0R/CQ1R,DPCLK7	DQS0R/CQ1R,DPCLK7
B6	VREFB6N2	IO	DIFFIO_R22p		N25	J21				DM0R	DM1R/BWS#1R	DM1R/BWS#1R
B6	VREFB6N2	IO	DIFFIO_R21n		M28	H22	DQ0R	DQ1R	DQ1R	DQ0R	DQ1R	DQ1R
B6	VREFB6N2	IO	DIFFIO_R21p		M27	H21	DQ0R	DQ1R	DQ1R	DQ0R	DQ1R	DQ1R
B6	VREFB6N2	IO	DIFFIO_R20n		M26	K18	DQ0R	DQ1R	DQ1R	DQ0R	DQ1R	DQ1R
B6	VREFB6N2	IO	DIFFIO_R20p		M25	J18						
B6	VREFB6N2	IO	DIFFIO_R19n		L28		DQ0R	DQ1R	DQ1R			
B6	VREFB6N2	IO	DIFFIO_R19p		L27		DQ0R	DQ1R	DQ1R			
B6	VREFB6N2	IO	DIFFIO_R18n		L24	F22	DQ0R	DQ1R	DQ1R	DQ0R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R18p		L23	F21				DQ0R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R17n		K28	J20	DQ0R	DQ1R	DQ1R			
B6	VREFB6N1	IO	DIFFIO_R17p		K27		DQ0R	DQ1R	DQ1R			
B6	VREFB6N1	IO			L26		DM2R	DM1R/BWS#1R	DM1R/BWS#1R			
B6	VREFB6N1	IO	DIFFIO_R16n		J26	H20				DQ0R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R16p		J25	H19		DQ1R	DQ1R	DQ0R	DQ1R	DQ1R



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
B6	VREFB6N1	IO	DIFFIO_R15n	nWE	G28	E22	DQ2R	DQ1R	DQ1R	DQ0R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R15p	nOE	G27	E21	DQ2R	DQ1R	DQ1R		DQ1R	DQ1R
B6	VREFB6N1	IO	VREFB6N1		M21	H18						
B6	VREFB6N1	IO			L25							
B6	VREFB6N1	IO	DIFFIO_R14n		K26	D22	DQ2R	DQ1R	DQ1R	DM2R	DM1R/BWS#1R	DM1R/BWS#1R
B6	VREFB6N1	IO	DIFFIO_R14p		K25	D21					DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R13n	nAVD	F28	F20	DQ2R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R13p		F27	F19				DQ2R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R12n	PADD23	E28	G18	DQ2R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R12p		E27		DQ2R	DQ1R	DQ1R			
B6	VREFB6N1	IO	DIFFIO_R11n		H26							
B6	VREFB6N1	IO	DIFFIO_R11p		H25							
B6	VREFB6N1	IO	DIFFIO_R10n		E26	C22				DQ2R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO_R10p		F26	C21	DQ2R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R
B6	VREFB6N0	IO	DIFFIO_R9n	PADD22	D28	B22				DQ2R	DQ1R	DQ1R
B6	VREFB6N0	IO	DIFFIO_R9p	PADD21	D27	B21	DQ2R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R
B6	VREFB6N0	IO	DIFFIO_R8n	PADD20	C27	C20	DQS2R/CQ3R,CDPCLK5	DQS2R/CQ3R,CDPCLK5	DQS2R/CQ3R,CDPCLK5	DQS2R/CQ3R,CDPCLK5	DQS2R/CQ3R,CDPCLK5	DQS2R/CQ3R,CDPCLK5
B6	VREFB6N0	IO	DIFFIO_R8p		D26							
B6	VREFB6N0	IO	DIFFIO_R7n		L22							
B6	VREFB6N0	IO	DIFFIO_R7p		L21							
B6	VREFB6N0	IO	DIFFIO_R6n		J24							
B6	VREFB6N0	IO	DIFFIO_R6p		J23							
B6	VREFB6N0	IO	DIFFIO_R5n		K22							
B6	VREFB6N0	IO	DIFFIO_R5p		K21							
B6	VREFB6N0	IO	DIFFIO_R4n		H24							
B6	VREFB6N0	IO	DIFFIO_R4p		H23							
B6	VREFB6N0	IO	DIFFIO_R3n		G26							
B6	VREFB6N0	IO	DIFFIO_R3p		G25							
B6	VREFB6N0	IO	VREFB6N0		J22	D20						
B6	VREFB6N0	IO	DIFFIO_R2n		F25	F17				DQ2R	DQ1R	DQ1R
B6	VREFB6N0	IO	DIFFIO_R2p		F24							
B6	VREFB6N0	IO	DIFFIO_R1n		G24							
B6	VREFB6N0	IO	DIFFIO_R1p		G23							
B6	VREFB6N0	IO			H22							
B7	VREFB7N0	IO	DIFFIO_T61n		C26							
B7	VREFB7N0	IO	DIFFIO_T61p		B26		DQ0T					
B7	VREFB7N0	IO	DIFFIO_T60n		D22	E16	DQ0T			DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO	DIFFIO_T60p		E22	F15	DQ0T			DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO	DIFFIO_T59n		A26		DQ0T					
B7	VREFB7N0	IO	DIFFIO_T59p		A25	F14	DQS0T/CQ1T,CDPCLK6	DQS0T/CQ1T,CDPCLK6	DQS0T/CQ1T,CDPCLK6	DQS0T/CQ1T,CDPCLK6	DQS0T/CQ1T,CDPCLK6	DQS0T/CQ1T,CDPCLK6
B7	VREFB7N0	IO			B25		DQ0T					
B7	VREFB7N0	IO	DIFFIO_T58n		E21	C18						
B7	VREFB7N0	IO	DIFFIO_T58p		F21	D18	DQ0T					
B7	VREFB7N0	IO	VREFB7N0		F22	D17						
B7	VREFB7N0	IO	DIFFIO_T57n		D25							
B7	VREFB7N0	IO	DIFFIO_T57p		C25		DQ0T					
B7	VREFB7N0	IO	DIFFIO_T56n		A23	C19	DQ0T			DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO	DIFFIO_T56p		B23	D19	DM0T			DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO	PLL2_CLKOUTp		D23	B20						
B7	VREFB7N0	IO	PLL2_CLKOUTn		C23	A20						
B7	VREFB7N0	IO	DIFFIO_T55n		C24		DQ2T	DQ5T	DQ5T			
B7	VREFB7N0	IO	DIFFIO_T55p		D24							
B7	VREFB7N0	IO	DIFFIO_T54n		C22		DQ2T	DQ5T	DQ5T			
B7	VREFB7N0	IO	DIFFIO_T54p		D21	C17	DQ2T	DQ5T	DQ5T	DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO	RUP4		F19	B19						
B7	VREFB7N0	IO	RDN4		E19	A19						
B7	VREFB7N0	IO			C21		DQ2T	DQ5T	DQ5T			
B7	VREFB7N1	IO	DIFFIO_T53n		A22	A18	DQ2T	DQ5T	DQ5T	DQ2T	DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T53p	PADD0	B22	B18						
B7	VREFB7N1	IO	DIFFIO_T52n		A21	D15	DQ2T	DQ5T	DQ5T			
B7	VREFB7N1	IO	DIFFIO_T52p		B21	E15	DQ2T	DQ5T	DQ5T	DQ2T	DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T51n		E18		DQ2T	DQ5T	DQ5T			
B7	VREFB7N1	IO	DIFFIO_T51p		F18							
B7	VREFB7N1	IO	DIFFIO_T50n	PADD1	C18	A17		DQ5T	DQ5T	DQ2T	DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T50p	PADD2	D18	B17					DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T49n		C20	A16	DM2T	DM5T/BWS#5T	DM5T/BWS#5T	DM2T	DM5T/BWS#5T	DM5T/BWS#5T
B7	VREFB7N1	IO	DIFFIO_T49p		D20	B16	DQ4T	DQ5T	DQ5T	DQ4T	DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T48n		E24							
B7	VREFB7N1	IO	DIFFIO_T48p		E25							
B7	VREFB7N1	IO	DIFFIO_T47n		C19		DQ4T	DQ5T	DQ5T			
B7	VREFB7N1	IO	DIFFIO_T47p		D19							
B7	VREFB7N1	IO	VREFB7N1		G17	C15						
B7	VREFB7N1	IO	DIFFIO_T46n	PADD3	C17	E14	DQ4T	DQ5T	DQ5T	DQ4T	DQ5T	DQ5T



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
B7	VREFB7N1	IO	DIFFIO_T46p	PADD4	D17	F13	DQS2T/CQ3T_DPCLK8	DQS2T/CQ3T_DPCLK8	DQS2T/CQ3T_DPCLK8	DQS2T/CQ3T_DPCLK8	DQS2T/CQ3T_DPCLK8	DQS2T/CQ3T_DPCLK8
B7	VREFB7N1	IO	DIFFIO_T45n	PADD5	A19	A15	DQ4T	DQ5T	DQ5T	DQ4T	DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T45p	PADD6	B19	B15	DQ4T	DQ5T	DQ5T	DQ4T	DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T44n	PADD7	A18	C13						
B7	VREFB7N1	IO	DIFFIO_T44p	PADD8	B18	D13	DQ4T	DQ5T	DQ5T	DQ4T	DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T43n		G20							
B7	VREFB7N1	IO	DIFFIO_T43p		G21							
B7	VREFB7N2	IO	DIFFIO_T42n		H19							
B7	VREFB7N2	IO	DIFFIO_T42p		J19							
B7	VREFB7N2	IO	DIFFIO_T41n		H21							
B7	VREFB7N2	IO	DIFFIO_T41p		G22							
B7	VREFB7N2	IO			J17							
B7	VREFB7N2	IO	DIFFIO_T40n		G19							
B7	VREFB7N2	IO	DIFFIO_T40p		G18							
B7	VREFB7N2	IO	DIFFIO_T39n		G16							
B7	VREFB7N2	IO	DIFFIO_T39p		H17							
B7	VREFB7N2	IO	DIFFIO_T38n		F17							
B7	VREFB7N2	IO	DIFFIO_T38p		E17		DQ4T	DQ5T	DQ5T			
B7	VREFB7N2	IO	VREFB7N2		G15	E13						
B7	VREFB7N2	IO	DIFFIO_T37n		J16							
B7	VREFB7N2	IO	DIFFIO_T37p		H16							
B7	VREFB7N2	IO	DIFFIO_T36n	PADD9	C16	A14	DQ4T	DQ5T	DQ5T	DQ4T	DQ5T	DQ5T
B7	VREFB7N2	IO	DIFFIO_T36p	PADD10	D16	B14				DQ4T	DQ5T	DQ5T
B7	VREFB7N2	IO	DIFFIO_T35n	PADD11	A17	A13		DQ5T	DQ5T	DQ4T	DQ5T	DQ5T
B7	VREFB7N2	IO	DIFFIO_T35p	PADD12	B17	B13	DQS4T/CQ5T_DPCLK9	DQS4T/CQ5T_DPCLK9	DQS4T/CQ5T_DPCLK9	DQS4T/CQ5T_DPCLK9	DQS4T/CQ5T_DPCLK9	DQS4T/CQ5T_DPCLK9
B7	VREFB7N2	IO	DIFFIO_T34n		H15							
B7	VREFB7N2	IO	DIFFIO_T34p		J15							
B7	VREFB7N2	IO	DIFFIO_T33n		F15							
B7	VREFB7N2	IO	DIFFIO_T33p		E15	E12	DM4T	DM5T/BWS#5T	DM5T/BWS#5T		DQ5T	DQ5T
B7	VREFB7N2	IO	DIFFIO_T32n	PADD13	C15	E11						
B7	VREFB7N2	IO	DIFFIO_T32p	PADD14	D15	F11	DQ5T	DQ3T	DQ5T	DM4T	DM5T/BWS#5T	DM5T/BWS#5T
B7	VREFB7N2	CLK8	DIFFCLK_5n		A15	A12						
B7	VREFB7N2	CLK9	DIFFCLK_5p		B15	B12						
B8	VREFB8N0	CLK10	DIFFCLK_4n		A14	A11						
B8	VREFB8N0	CLK11	DIFFCLK_4p		B14	B11						
B8	VREFB8N0	IO	DIFFIO_T31n		C13	D10	DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T31p		D13		DQ5T	DQ3T	DQ5T			
B8	VREFB8N0	IO	DIFFIO_T30n		C14	A10	DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T30p	PADD15	D14	B10						
B8	VREFB8N0	IO	DIFFIO_T29n	PADD16	C12	A9	DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T29p	PADD17	D12	B9	DQS5T/CQ5T#_DPCLK10	DQS5T/CQ5T#_DPCLK10	DQS5T/CQ5T#_DPCLK10	DQS5T/CQ5T#_DPCLK10	DQS5T/CQ5T#_DPCLK10	DQS5T/CQ5T#_DPCLK10
B8	VREFB8N0	IO	DIFFIO_T28n		H14							
B8	VREFB8N0	IO	DIFFIO_T28p		J14							
B8	VREFB8N0	IO	DIFFIO_T27n		A12		DQ5T	DQ3T	DQ5T			
B8	VREFB8N0	IO	VREFB8N0		G14	C10						
B8	VREFB8N0	IO	DIFFIO_T26n		F14							
B8	VREFB8N0	IO	DIFFIO_T26p		E14		DQ5T	DQ3T	DQ5T			
B8	VREFB8N0	IO	DIFFIO_T25n	DATA2	A11	A8	DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T25p	DATA3	B11	B8	DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T24n		J13							
B8	VREFB8N0	IO	DIFFIO_T24p		J12							
B8	VREFB8N0	IO	DIFFIO_T23n	PADD18	A10	A7				DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T23p	DATA4	B10	B7	DM5T/BWS#5T	DM3T/BWS#3T	DM5T/BWS#5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T22n	PADD19	G13	A6				DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T22p	DATA15	H13	B6	DQ3T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T21n		C10	E9	DQ3T	DQ3T	DQ5T			
B8	VREFB8N1	IO	DIFFIO_T21p		D10		DQ3T	DQ3T	DQ5T			
B8	VREFB8N1	IO	DIFFIO_T20n	DATA14	E12	C8	DQS3T/CQ3T#_DPCLK11	DQS3T/CQ3T#_DPCLK11	DQS3T/CQ3T#_DPCLK11	DQS3T/CQ3T#_DPCLK11	DQS3T/CQ3T#_DPCLK11	DQS3T/CQ3T#_DPCLK11
B8	VREFB8N1	IO	DIFFIO_T20p	DATA13	F12	C7				DM5T/BWS#5T	DM3T/BWS#3T	DM5T/BWS#5T
B8	VREFB8N1	IO	DIFFIO_T19n		E11	D8	DQ3T	DQ3T	DQ5T			
B8	VREFB8N1	IO	DIFFIO_T19p		F11	E8						
B8	VREFB8N1	IO	DIFFIO_T18n		A7		DQ3T	DQ3T	DQ5T			
B8	VREFB8N1	IO	DIFFIO_T18p	DATA5	B7	A5	DQ3T	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N1	IO	VREFB8N1		G12	B5						
B8	VREFB8N1	IO	DIFFIO_T17n		A6							
B8	VREFB8N1	IO	DIFFIO_T17p	DATA6	B6	F10	DQ3T	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T16n		G11							
B8	VREFB8N1	IO	DIFFIO_T16p		H12							
B8	VREFB8N1	IO	DIFFIO_T15n	DATA7	C11	C6	DQ3T	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T15p		D11	D7						
B8	VREFB8N1	IO	DIFFIO_T14n		C9	A4	DQ3T	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T14p	DATA8	D9	B4				DQ3T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T13n		F10							



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
B8	VREFB8N1	IO	DIFFIO_T13p		G10							
B8	VREFB8N1	IO	DIFFIO_T12n		H10							
B8	VREFB8N1	IO	DIFFIO_T12p		J10							
B8	VREFB8N1	IO			E10							
B8	VREFB8N1	IO	DIFFIO_T11n	DATA9	A8	F8	DM3T/BWS#3T	DM3T/BWS#3T	DM5T/BWS#5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T11p		B8							
B8	VREFB8N1	IO	DIFFIO_T10n		C8		DQ1T					
B8	VREFB8N2	IO	DIFFIO_T10p		D8		DQ1T					
B8	VREFB8N2	IO	DIFFIO_T9n	DATA10	C7	A3	DQ1T			DQ3T	DQ3T	DQ5T
B8	VREFB8N2	IO	DIFFIO_T9p	DATA11	D7	B3				DQ3T	DQ3T	DQ5T
B8	VREFB8N2	IO	DIFFIO_T8n		E7							
B8	VREFB8N2	IO	DIFFIO_T8p		D6		DQ1T					
B8	VREFB8N2	IO	VREFB8N2		G9	D6						
B8	VREFB8N2	IO	DIFFIO_T7n		E8	E7						
B8	VREFB8N2	IO	DIFFIO_T7p		F8							
B8	VREFB8N2	IO	DIFFIO_T6n		G8							
B8	VREFB8N2	IO	DIFFIO_T6p		H8							
B8	VREFB8N2	IO	DIFFIO_T5n		G7							
B8	VREFB8N2	IO	DIFFIO_T5p		F7							
B8	VREFB8N2	IO	DIFFIO_T4n		A4	C3	DQ1T			DQ3T	DQ3T	DQ5T
B8	VREFB8N2	IO	DIFFIO_T4p	DATA12	B4	C4	DQS1T/CQ1T#.CDPCLK7	DQS1T/CQ1T#.CDPCLK7	DQS1T/CQ1T#.CDPCLK7	DQS1T/CQ1T#.CDPCLK7	DQS1T/CQ1T#.CDPCLK7	DQS1T/CQ1T#.CDPCLK7
B8	VREFB8N2	IO	DIFFIO_T3n		B3	F7				DM3T/BWS#3T	DM3T/BWS#3T	DM5T/BWS#5T
B8	VREFB8N2	IO	DIFFIO_T3p		A3		DQ1T					
B8	VREFB8N2	IO			C6	F9	DQ1T					
B8	VREFB8N2	IO	PLL3_CLKOUTp		D5	E5						
B8	VREFB8N2	IO	PLL3_CLKOUTn		C5	E6						
B8	VREFB8N2	IO	DIFFIO_T2n		C4		DQ1T					
B8	VREFB8N2	IO	DIFFIO_T2p		D4		DM1T					
B8	VREFB8N2	IO	DIFFIO_T1n		E4							
B8	VREFB8N2	IO	DIFFIO_T1p		E5							
B8	VREFB8N2	IO			C3							
		GND			K10	L10						
		GND			K12	L11						
		GND			K14	M10						
		GND			K16	M11						
		GND			K18	L12						
		GND			K20	L13						
		GND			L9	M12						
		GND			L11	M13						
		GND			L13	N11						
		GND			L15	K11						
		GND			L17	N12						
		GND			L19	K12						
		GND			M10	K13						
		GND			M12	N13						
		GND			M14	N10						
		GND			M16	K10						
		GND			M18	J9						
		GND			M20	F12						
		GND			N9	H12						
		GND			N11	H13						
		GND			N13	J15						
		GND			N15	K16						
		GND			N17	L15						
		GND			N19	N15						
		GND			P10	R13						
		GND			P12	R11						
		GND			P14	R9						
		GND			P16	P8						
		GND			P18	H14						
		GND			P20	H10						
		GND			R9	H8						
		GND			R11	N8						
		GND			R13	R7						
		GND			R15	T8						
		GND			R17	T12						
		GND			R19	P16						
		GND			T10	L8						
		GND			T12	G17						
		GND			T14	M7						
		GND			T16	F16						
		GND			T18	H16						
		GND			T20	G15						



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
		GND			U9	G13						
		GND			U11	G11						
		GND			U13	E10						
		GND			U15	G9						
		GND			U17	K7						
		GND			U19	P6						
		GND			V10	U7						
		GND			V12	V6						
		GND			V14	T10						
		GND			V16	U13						
		GND			V18	T14						
		GND			V20	N17						
		GND			W9	G7						
		GND			W11	U19						
		GND			W13	Y21						
		GND			W15	R18						
		GND			W17	J5						
		GND			W19	J19						
		GND			AA2	A1						
		GND			AA27	C5						
		GND			AC6	C9						
		GND			AC9	C11						
		GND			AC13	C12						
		GND			AC16	C14						
		GND			AC20	C16						
		GND			AC23	A22						
		GND			AF1	E20						
		GND			AF28	G20						
		GND			AG2	L20						
		GND			AG5	P19						
		GND			AG9	V20						
		GND			AG13	Y20						
		GND			AG16	AB22						
		GND			AG20	Y18						
		GND			AG24	Y16						
		GND			AG27	Y12						
		GND			B2	Y11						
		GND			B5	Y9						
		GND			B9	Y5						
		GND			B13	AB1						
		GND			B16	N3						
		GND			B20	U3						
		GND			B24	W3						
		GND			B27	D3						
		GND			C1	F3						
		GND			C28	K3						
		GND			F6	G2						
		GND			F9	AA2						
		GND			F13	AA22						
		GND			F16							
		GND			F20							
		GND			F23							
		GND			H2							
		GND			H27							
		GND			J11							
		GND			J18							
		GND			K6							
		GND			K23							
		GND			N2							
		GND			N6							
		GND			N23							
		GND			N27							
		GND			T2							
		GND			T6							
		GND			T23							
		GND			T27							
		GND			W6							
		GND			W23							
		GND			Y11							
		GND			Y18							
		GND			J2							
		GND			D3							
		GND			B12							



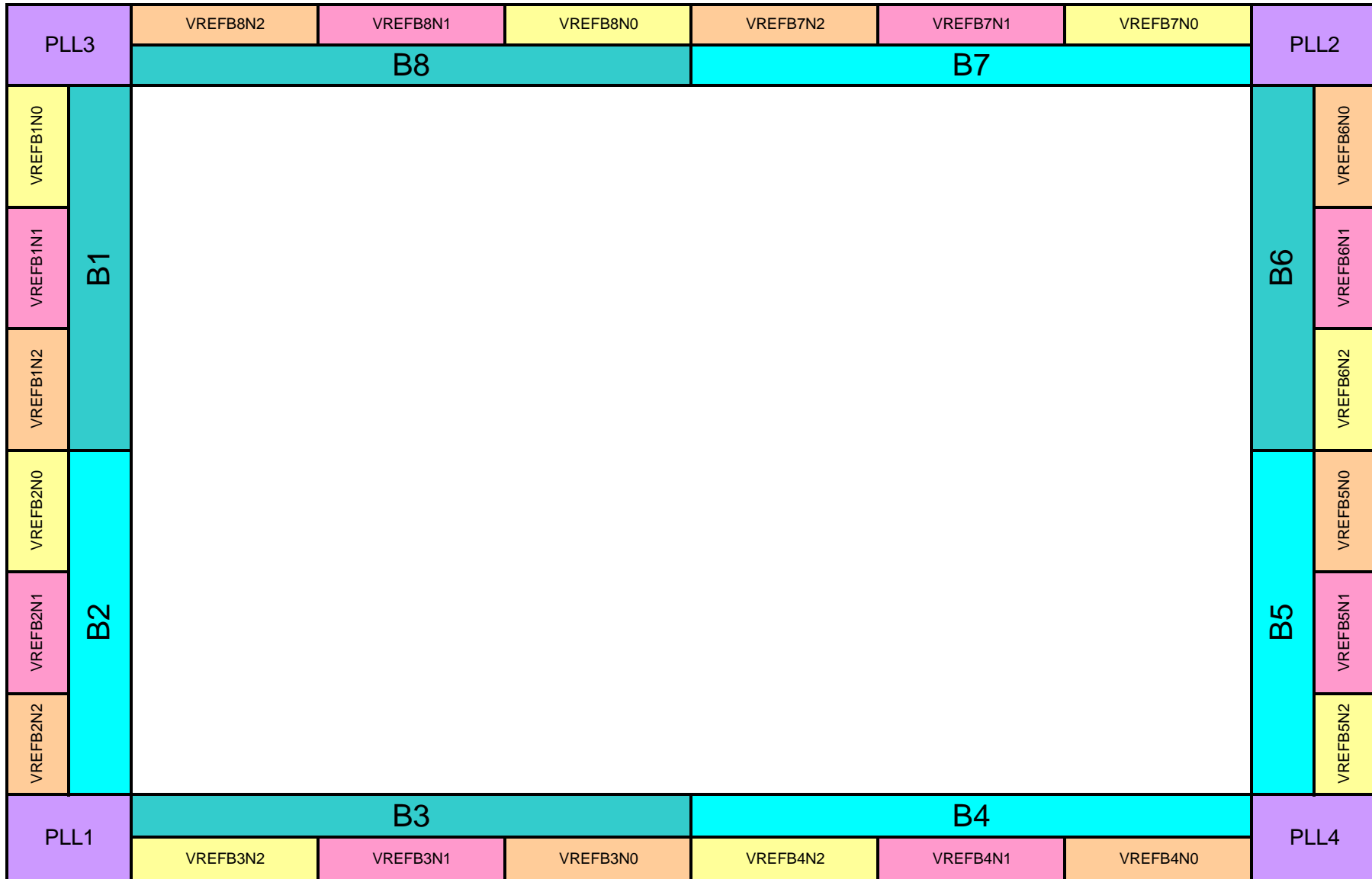
Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
		GND A1			AA9	U5						
		GND A2			H20	E18						
		GND A3			H9	F5						
		GND A4			AA20	V18						
		VCCINT			K9	J11						
		VCCINT			K11	J12						
		VCCINT			K13	L14						
		VCCINT			K15	M14						
		VCCINT			K17	P11						
		VCCINT			K19	P12						
		VCCINT			L10	L9						
		VCCINT			L12	M9						
		VCCINT			L14	J13						
		VCCINT			L16	J14						
		VCCINT			L18	K14						
		VCCINT			L20	J10						
		VCCINT			M9	K9						
		VCCINT			M11	N9						
		VCCINT			M13	P9						
		VCCINT			M15	P10						
		VCCINT			M17	P13						
		VCCINT			M19	P14						
		VCCINT			N10	N14						
		VCCINT			N12	J16						
		VCCINT			N14	K15						
		VCCINT			N16	L16						
		VCCINT			N18	M15						
		VCCINT			N20	R12						
		VCCINT			P9	R10						
		VCCINT			P11	R8						
		VCCINT			P13	H9						
		VCCINT			P15	G12						
		VCCINT			P17	J8						
		VCCINT			P19	M8						
		VCCINT			R10	T7						
		VCCINT			R12	T9						
		VCCINT			R14	T13						
		VCCINT			R16	P15						
		VCCINT			R18	H15						
		VCCINT			R20	H11						
		VCCINT			T9	K8						
		VCCINT			T11	P17						
		VCCINT			T13	L7						
		VCCINT			T15	N16						
		VCCINT			T17	K17						
		VCCINT			T19	J17						
		VCCINT			U10	G16						
		VCCINT			U12	G14						
		VCCINT			U14	G10						
		VCCINT			U16	G8						
		VCCINT			U18	J7						
		VCCINT			U20	N7						
		VCCINT			V9	P7						
		VCCINT			V11	R6						
		VCCINT			V13	U8						
		VCCINT			V15	V7						
		VCCINT			V17	T11						
		VCCINT			V19	R15						
		VCCINT			W10	G4						
		VCCINT			W12	H17						
		VCCINT			W14	U17						
		VCCINT			W16	U16						
		VCCINT			W18	U15						
		VCCINT			W20	R14						
		VCCIO1			B1	D4						
		VCCIO1			H1	F4						
		VCCIO1			K5	K4						
		VCCIO1			N1							
		VCCIO1			N5							
		VCCIO2			AA1	N4						
		VCCIO2			AG1	U4						
		VCCIO2			T1	W4						
		VCCIO2			T5							



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F780	F484	DQS for X8/X9 in 780 FBGA	DQS for X16/X18 in 780 FBGA	DQS for X32/X36 in 780 FBGA	DQS for X8/X9 in 484 FBGA	DQS for X16/X18 in 484 FBGA	DQS for X32/X36 in 484 FBGA
		VCCIO2			W5							
		VCCIO3			AA11	AB2						
		VCCIO3			AD6	W5						
		VCCIO3			AD9	W9						
		VCCIO3			AD13	W11						
		VCCIO3			AH2							
		VCCIO3			AH5							
		VCCIO3			AH9							
		VCCIO3			AH13							
		VCCIO4			AA18	AB21						
		VCCIO4			AD16	W12						
		VCCIO4			AD20	W16						
		VCCIO4			AD23	W18						
		VCCIO4			AH16							
		VCCIO4			AH20							
		VCCIO4			AH24							
		VCCIO4			AH27							
		VCCIO5			AA28	P18						
		VCCIO5			AG28	V19						
		VCCIO5			T24	Y19						
		VCCIO5			T28							
		VCCIO5			W24							
		VCCIO6			B28	E19						
		VCCIO6			H28	G19						
		VCCIO6			K24	L19						
		VCCIO6			N24							
		VCCIO6			N28							
		VCCIO7			A16	A21						
		VCCIO7			A20	D12						
		VCCIO7			A24	D14						
		VCCIO7			A27	D16						
		VCCIO7			E16							
		VCCIO7			E20							
		VCCIO7			E23							
		VCCIO7			H18							
		VCCIO8			A2	A2						
		VCCIO8			A5	D5						
		VCCIO8			A9	D9						
		VCCIO8			A13	D11						
		VCCIO8			E6							
		VCCIO8			E9							
		VCCIO8			E13							
		VCCIO8			H11							
		VCCA1			Y8	T6						
		VCCA2			J21	F18						
		VCCA3			J8	G6						
		VCCA4			Y21	U18						
		VCCD_PLL1			Y9	U6						
		VCCD_PLL2			J20	E17						
		VCCD_PLL3			J9	F6						
		VCCD_PLL4			Y20	V17						

Notes:

- (1) If the p pin or n pin is not available for the package, the particular differential pair is not supported.
- (2) For DQS pins that do not have the associated DQ pins, the particular DQS is not supported.
- (3) For more information about pin definition and pin connection guidelines, refer to the [Cyclone IV Device Family Pin Connection Guidelines](#).



Notes:

1. This is a top view of the silicon die.
2. This is only a pictorial representation to provide an idea of placement on the device. For exact locations, refer to the pin list and the Quartus® II software.



Pin Information for the Cyclone® IV EP4CE115 Device
Version 1.1

Version Number	Date	Changes made
1.0	1/25/2010	Initial Release.
1.1	6/10/2011	Removed Pin Definitions sheet.